

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 29 日 (29.12.2004)

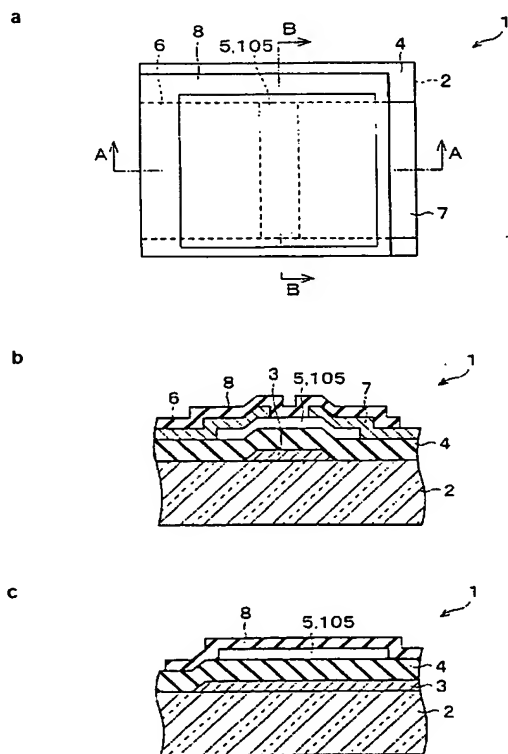
PCT

(10) 国際公開番号
WO 2004/114391 A1

- (51) 国際特許分類⁷: H01L 21/336, 29/786 5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/008322
- (22) 国際出願日: 2004 年 6 月 14 日 (14.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-177272 2003 年 6 月 20 日 (20.06.2003) JP
特願2004-079273 2004 年 3 月 18 日 (18.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
- (72) 出願人 および
(72) 発明者: 大野 英男 (OHNO, Hideo). 川崎 雅司 (KAWASAKI, Masashi).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 杉原 利典 (SUGIHARA, Toshinori).
- (74) 代理人: 原 謙三, 外 (HARA, Kenzo et al.); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル 原謙三国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, [続葉有]

(54) Title: SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置およびその製造方法ならびに電子デバイス



(57) Abstract: A thin film transistor (1) wherein a gate electrode (3) is formed on an insulative substrate (2), a gate insulating layer (4) is formed on the gate electrode (3), a semiconductor layer (5) is formed on the gate insulating layer (4), a source electrode (6) and a drain electrode (7) are formed on the semiconductor layer (5), and a protective layer (8) covering them are formed. The semiconductor layer (5) is isolated from the atmosphere. The semiconductor layer (5) (active layer) is formed of a ZnO polycrystalline semiconductor doped with, for example, a group V element. Since the surface state of the ZnO semiconductor is reduced thanks to the protective layer (8) and inward expansion of the depletion layer is prevented, the ZnO semiconductor is of an n-type showing its intrinsic resistance value and contains excessive free electrons. The added element acts as acceptor impurities in the ZnO semiconductor, decreasing the excessive electrons. Thus the gate voltage to eliminate the excessive free electrons lowers, thereby making the threshold voltage around 0 V. A semiconductor device using a zinc oxide for an active layer and having a protective layer for isolating the active layer from the atmosphere can be actually used.

(57) 要約: 薄膜トランジスタ (1) において、絶縁性基板 (2) 上のゲート電極 (3) の上に、ゲート絶縁層 (4) を介して半導体層 (5) が積層され、その上にソース電極 (6) とドレイン電極 (7) とが形成され、さらにその上を覆う保護層 (8) が形成されて、半導体層 (5)

を雰囲気から隔絶している。半導体層 (5) (活性層) は、例えば V 族元素が添加された ZnO の多結晶状態の半導体を用いて形成される。ZnO は、保護層 (8) により表面準位が減少し、内部

[続葉有]



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

への空乏層が拡がり解消されるので、本来の抵抗値を示すn型半導体となり、自由電子が過剰な状態になる。添加された元素はZnOに対してアクセプタ不純物として働くので、過剰な自由電子が減少する。これにより、過剰な自由電子を排除するためのゲート電圧が低下するので、しきい値電圧が0V付近となる。酸化亜鉛を活性層に用い、かつ活性層を雰囲気と隔絶する保護層の付与された半導体装置の実使用を可能にする。

10/560908

2004/11/17 PTO 16 DEC 2004

明 細 書

半導体装置およびその製造方法ならびに電子デバイス

技術分野

- [0001] 本発明は、酸化亜鉛系の活性層を有する半導体装置に係り、電子デバイスに用いられるスイッチング素子に好適な半導体装置およびそれを用いた電子デバイスに関するものである。

背景技術

- [0002] 従来、酸化亜鉛(ZnO)は可視光領域において透明であり、また低温での作製においても比較的良い物性を示す半導体である。そのため、近年盛んに研究が行われ、種々の技術が報告されている。
- [0003] 例えば、学術的には、文献1ないし3の論文が発表されている。これらの論文は、いずれもZnOを活性層とした薄膜トランジスタが性能良く動作すること示している。

(1) 文献1

R.L.Hoffman, B.J.Norris and J.F.Wager, "ZnO-based transparent thin-film transistors" APPLIED PHYSICS LETTERS VOLUME 82, NUMBER 5, 3 FEBRUARY 2003, pp733-735

(2) 文献2

P.F.Carcia, R.S.McLean, M.H.Reilly and G.Nunes,Jr. "Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering" APPLIED PHYSICS LETTERS VOLUME 82, NUMBER 7, 17 FEBRUARY 2003, pp1117-1119

(3) 文献3

Junya NISHII et al., "High Performance Thin Film Transistors with Transparent ZnO Channels" Jpn. J. Appl. Phys. Vol. 42. (2003) pp L347-L349, Part 2, No. 4A, 1 April 2003

また、特許出願においては、文献4ないし6にZnOを半導体に利用した技術が開示されている。

(4) 文献4

特開2000-150900公報(公開日:2000年5月30日)

(5) 文献5

特開2000-277534公報(公開日:2000年10月6日)

(6) 文献6

特開2002-76356公報(公開日:2002年3月15日)

(7) 文献7

特開昭63-101740号公報(公開日:1988年5月6日)

文献4には、トランジスタのチャネル層に酸化亜鉛等の透明半導体を使用し、ゲート絶縁層にも透明絶縁性酸化物を使用して、トランジスタを透明にすることが記載されている。

[0004] 文献5には、酸化亜鉛と下地膜との格子不整合を下地膜の材料を選択することで解消し、酸化亜鉛を用いた薄膜トランジスタを含む半導体デバイスの高性能化が可能であることが記載されている。

[0005] 文献6には、酸化亜鉛等の透明チャネル層を有するトランジスタのオン・オフ比特性や移動度特性を改善するために、酸化亜鉛に3d遷移金属をドーピングする方法が記載されている。

[0006] 以上に記した論文および文献により酸化亜鉛を用いたトランジスタの有効性が示されている。

[0007] しかしながら、文献7に開示されたように、酸化亜鉛は雰囲気に対して感受性が高く、酸化亜鉛を用いたデバイスの特性が大きく変化するため、実用性においては保護層(絶縁物)により酸化亜鉛を雰囲気から隔絶する必要がある。文献4は、酸化亜鉛をチャネル層に用いた縦型電界効果トランジスタをガスセンサーとして利用することが記載されている。

[0008] 上記の文献1、2および3では、構造において保護層の付与は無く、保護層付与による影響に関しては論じられてはいない。また、文献4、5および6では、構造において雰囲気からの隔絶の例示もされているが、保護層(ここではゲート絶縁層がそれに対応する)の付与の影響に関して論じられていない。

[0009] 酸化亜鉛を活性層に用いたトランジスタにおいて、実用上、その特性には安定性が

求められ、雰囲気に対して感受性が高い酸化亜鉛を用いる場合、雰囲気からの隔絶が絶対条件となる。この意味において、保護層の付与による影響に関しては論じる必要があり、そのことについて以下に説明する。

[0010] 図14(a)は、保護層が付与されないトランジスタ50を示している。このトランジスタ50は、逆スタガ構造を成しており、ガラス基板52上にTaで形成されるゲート電極53の上に、 Al_2O_3 で形成されるゲート絶縁層54を介して意図的にドーピングを行っていない酸化亜鉛が半導体層55として積層され、この半導体層55の上にAlで構成されるソース電極56とドレイン電極57とが形成されている。

[0011] 図14(b)は、保護層が付与されたトランジスタ51を示している。このトランジスタ51は、上記のトランジスタ50において、さらに半導体層55、ソース電極56およびドレイン電極57の一部を覆うように、保護層58が Al_2O_3 で形成される構造を成している。

[0012] 図15は、酸化亜鉛を活性層(半導体層55)に用いた同一の電界効果トランジスタで保護層の有無についての I_d-V_g 特性を示す。

[0013] 図15からわかるように、保護層の有無により、しきい値電圧が大幅に変化している。保護層が付与されたトランジスタのしきい値電圧は、保護層が付与されていないトランジスタのしきい値に比べて大きくマイナス側にシフトしており、実用不可能な大きな負の値となっている。

[0014] このような現象が起こることは、以下のように説明できる。酸化亜鉛は、もともと酸素空孔を生じやすく、その酸素空孔から自由電子が生成され、n型の伝導性を示す半導体である。しかし、酸化亜鉛がその表面に有する表面準位により、酸化亜鉛表面のフェルミ準位は押し下げられると、その結果、空乏層が、酸化亜鉛内部に拡がってチャネル層を形成するゲート絶縁層界面まで達し、自由電子を排除するため、酸化亜鉛が高抵抗化する。高抵抗な酸化亜鉛では可動電荷である自由電子が少なく、この自由電子を排除するために必要なゲート電圧は小さくなるため、しきい値電圧の絶対値が小さくなる。この状態が、保護層の無い状態である。

[0015] 酸化亜鉛に保護層として Al_2O_3 を付与すると、酸化亜鉛の表面準位が減少する。このことは、第50回応用物理学会関係連合講演会、29p-F-8(2003/3)で、酸化亜鉛と Al_2O_3 の整合性が良く、欠陥準位が少ないという報告から理解できる。この表

面準位の減少のため、酸化亜鉛表面のフェルミ準位は酸化亜鉛が本来持っている自由電子の濃度により決まる位置に復元し、その結果、酸化亜鉛内部への空乏層の拡がりが無くなる。このため、酸化亜鉛が本来のn型伝導性を示し、低抵抗化、つまり自由電子の多い状態になる。この多数存在する自由電子を排除するためには、大きなマイナスのゲート電圧が必要となり、その結果、しきい値電圧が負の大きな値となる。

図16は、 Al_2O_3 保護層の有無による酸化亜鉛の抵抗率の変化を示しており、 Al_2O_3 保護層付与により、酸化亜鉛の抵抗率が約1/6400に減少することを示している。このことから、上記の機構が裏付けられる。

- [0016] 上記のように、酸化亜鉛を活性層に用いた電界効果トランジスタにおいて、保護層の付与によってトランジスタとしての特性が大きく変化することを発見し、論じたのは初めてである。
- [0017] 酸化亜鉛を活性層に使用した電界効果トランジスタにおいては、酸化亜鉛の雰囲気に対する敏感性から、保護層が必要不可欠である。しかし、上記のように、保護層の付与された電界効果トランジスタは、しきい値電圧がマイナスの大きな電圧となるため、実使用が不可能となる。
- [0018] 本発明は、上記の問題に鑑みてなされたものであって、酸化亜鉛を活性層に用い、かつ活性層を雰囲気と隔離する保護層の付与された、実使用が可能である半導体装置およびそれを備えた電子デバイスを提供することを目的としている。

発明の開示

- [0019] 本発明の半導体装置は、 ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体から成り、I族、III族、IV族、V族またはVII族の元素が添加されている活性層と、前記活性層を、前記活性層において可動電荷が移動する領域が雰囲気の影響を受けない範囲で雰囲気から隔離する隔離体とを含んでいる。
- [0020] 上記の構成において、隔離体は、活性層を雰囲気から隔離できれば良く、保護層や絶縁層だけでなく電極等を含んでいても良い。また、活性層のすべてが隔離体によって隔離されていても良いが、少なくとも活性層において可動電荷が移動する領域

(例えば、薄膜トランジスタのチャネル部分)が雰囲気の影響を受けない範囲で雰囲気から隔絶されておれば良く、これを満たせば活性層の一部が隔絶層から雰囲気に露出していても構わない。

[0021] このように、雰囲気に対して敏感な ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ からなる活性層を隔絶体によって雰囲気から隔絶することにより、半導体装置の素子特性を安定化させることが可能である。また、保護層等の隔絶体によって結果的に発生する活性層の可動電荷を、活性層にI族、III族、IV族、V族またはVII族の元素が添加されることにより減少させることができる。これは、保護層等を形成することで例えば ZnO の表面準位が減少し、 ZnO 内部への空乏層の拡がり解消され、 ZnO は本来の抵抗値を示すn型半導体となり、自由電子が過剰な状態になる。例えばV族元素の窒素は ZnO に対してアクセプタ不純物として働くので、窒素の添加により過剰な自由電子が減少する。また、I族元素である水素は、 ZnO 中に存在する状態では、自由電子の源となるダングリングボンドに対してターミネータとして働くので、水素を添加によっても過剰な自由電子が減少する。このような自由電子の減少により、フェルミ準位がバンドギャップ中央付近に押し下げられる。これにより、過剰な自由電子を排除するためのゲート電圧が低下するので、しきい値電圧が高まる。このように、トランジスタの重要な特性の1つであるしきい値電圧を実使用可能な電圧に制御することが可能となる。

[0022] 前記半導体装置においては、前記元素が、窒素、リン、砒素、アンチモンまたはこれらのうち2種類以上であることが好ましい。これらの元素が活性層に添加されることにより、添加量に応じてしきい値電圧を比較的大きい範囲で精度良く制御することができる。

[0023] あるいは、前記半導体装置においては、前記元素が、窒素、リン、砒素、アンチモンまたはこれらのうち2種類以上と水素とであることが好ましい。これらの元素が活性層に添加されることによっても、添加量に応じてしきい値電圧を比較的大きい範囲で精度良く制御することができる。また、このような半導体装置の製造においては、前記活性層を、例えば、窒素、一酸化二窒素、一酸化窒素または二酸化窒素のうち1種類以上と、水蒸気、過酸化水素、アンモニアまたはこれらのうち1種類以上とを含む雰囲気中で形成する。これにより、窒素と水素とが、形成された活性層に添加される。

- [0024] 前記半導体装置においては、前記隔絶体が異なる隔絶層から成ることが好ましい。例えば、隔絶体は、前述のように活性層を雰囲気から隔絶できれば良く、複数の隔絶層から成ることにより、絶縁層、電極、保護層等を隔絶層として含む薄膜トランジスタなどを本発明に容易に適用することができる。
- [0025] 前記半導体装置においては、前記隔絶層のうち少なくとも1つが、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることが好ましい。これらの材料は、 ZnO および $\text{Mg}_{1-x}\text{Zn}_x\text{O}$ との整合性が良好であるため、活性層と直接界面を形成する隔絶層に適している。
- [0026] この半導体装置においては、前記活性層に接続される2つの電極以外で前記活性層と界面を形成する前記隔絶層のうち、前記活性層における可動電荷の移動を制御する制御電極と前記活性層との間を絶縁する隔絶層と界面を形成する領域以外で前記活性層と界面を形成する前記隔絶層が、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることが好ましい。例えば、薄膜トランジスタにおいては、活性層に接続される2つの電極は、ソース電極およびドレイン電極に相当し、制御電極はゲート電極に相当する。逆スタガ型の薄膜トランジスタでは、基板上にゲート電極が形成され、さらにゲート絶縁層(隔絶層)を介したその上に活性層が形成される。ここでは、ゲート絶縁層と界面を形成する領域以外で活性層と界面を形成する隔絶層は、活性層における、ソース電極およびドレイン電極間に現れる上端面ならびに一部の側端面と界面を形成する隔絶層である(図1(a)ないし(c)の保護層8に相当)。このような半導体装置に必須の電極や絶縁層以外で活性層を雰

雰囲気から隔離する保護層としての役割を果たす隔離層が設けられている構成においては、前記のようにZnOおよび $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ との整合性が良好な上記の材料により、活性層の上記の領域と直接界面を形成する隔離層を形成することにより、半導体装置の素子特性を安定させることができる。

[0027] 前記半導体装置においては、前記隔離層のうち少なくとも1つが樹脂により形成されていることが好ましい。隔離層として樹脂を用いることで、樹脂による隔離層の形成に既存の樹脂形成装置を用いることが可能である。それゆえ、隔離層を形成するために複雑な成膜プロセスを用いることなく、半導体装置の製造をより容易にすることができることから、半導体装置の製造コストを低減することが可能である。また、樹脂を用いることにより、半導体装置の柔軟性を高めることができ、半導体装置の基板としてフレキシブル基板を用いた場合には特に好適である。

[0028] この半導体装置においては、前記活性層に接続される2つの電極以外で前記活性層と界面を形成する前記隔離層のうち、前記活性層における可動電荷の移動を制御する制御電極と前記活性層との間を絶縁する隔離層と界面を形成する領域以外で前記活性層と界面を形成する前記隔離層が樹脂により形成されていることが好ましい。例えば、薄膜トランジスタにおいては、活性層に接続される2つの電極は、ソース電極およびドレイン電極に相当し、制御電極はゲート電極に相当する。逆スタガ型の薄膜トランジスタでは、前述のように、ゲート絶縁層と界面を形成する領域以外で活性層と界面を形成する隔離層は、活性層における、ソース電極およびドレイン電極間に現れる上端面ならびに一部の側端面と界面を形成する隔離層である(図1(a)ないし図1(c)の保護層8に相当)。このような半導体装置に必須の電極や絶縁層以外で活性層を雰囲気から隔離する保護層としての役割を果たす隔離層が設けられている構成においては、活性層の上記の領域と直接界面を形成する隔離層に樹脂を使用することが可能であるので、前記のように半導体装置の製造コストの低減を図ることができる。

[0029] 本発明の電子デバイスは、前記のいずれかの半導体装置をスイッチング素子として備えている。このように、透明なZnOおよび $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を活性層に用いた性能の良い半導体装置をスイッチング素子として備えることにより、電子デバイスの性能を容易

に向上させることができる。

[0030] 前記電子デバイスにおいては、前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることが好ましい。電子デバイスとしてのアクティブマトリクス型の表示装置(例えば、液晶表示装置や有機EL表示装置)では、駆動回路から絵素電極に画像信号を書き込む際にスイッチング素子をONさせる。また、電子デバイスとしてのイメージセンサのような画像読取装置では、絵素電極に取り込まれた画素信号を読み出す際にスイッチング素子をONさせる。このように、画像表示や画像読み取りのための電子デバイスに半導体装置をスイッチング素子として用いることにより、これらの電子デバイスの高性能化を容易に図ることができる。

[0031] 以上のように、本発明の半導体装置は、 ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体から成り、I族、III族、IV族、V族またはVII族の元素が添加されている活性層と、前記活性層を、前記活性層において可動電荷が移動する領域が雰囲気の影響を受けない範囲で雰囲気から隔絶する隔絶体とを含んでいる。

[0032] このように、雰囲気に対して敏感な ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を隔絶体によって雰囲気から隔絶し、かつI族、III族、IV族、V族またはVII族の元素を ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ に添加することで、隔絶体によって活性層に発生する可動電荷を減少させることができる。これにより、素子特性が雰囲気により左右されず安定し、かつ実用可能な範囲にしきい値電圧を制御可能となる ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を用いた半導体装置を提供することができる。

[0033] 本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

[0034] [図1(a)]本発明の第1の実施形態に係る薄膜トランジスタの構成を示す平面図である。

[図1(b)]図1(a)のA-A線矢視断面図である。

[図1(c)]図1(a)のB-B線矢視断面図である。

[図2]第1の実施形態に係る薄膜トランジスタの他の構成を示す断面図である。

[図3(a)]図1の薄膜トランジスタの製造におけるゲート配線形成工程を示す断面図である。

[図3(b)]図1の薄膜トランジスタの製造におけるゲート絶縁膜形成工程を示す断面図である。

[図3(c)]図1の薄膜トランジスタの製造における半導体層形成工程を示す断面図である。

[図3(d)]図1の薄膜トランジスタの製造におけるソース電極およびドレイン電極形成工程を示す断面図である。

[図3(e)]図1の薄膜トランジスタの製造の最終工程を示す断面図である。

[図4]第1ないし第3の実施形態に係る薄膜トランジスタの I_d-V_g 特性を示す図である。

[図5]第1の実施形態に係る薄膜トランジスタのさらに他の構成を示す平面図である。

[図6(a)]本発明の第2の実施形態に係る薄膜トランジスタの構成を示す平面図である。

[図6(b)]図6(a)のC-C線矢視断面図である。

[図6(c)]図6(a)のD-D線矢視断面図である。

[図7]第2の実施形態に係る薄膜トランジスタの他の構成を示す断面図である。

[図8(a)]図6の薄膜トランジスタの製造における下地絶縁層形成工程を示す断面図である。

[図8(b)]図6の薄膜トランジスタの製造におけるソース電極およびドレイン電極形成工程を示す断面図である。

[図8(c)]図6の薄膜トランジスタの製造における半導体層、ゲート絶縁膜、ゲート電極形成工程を示す断面図である。

[図8(d)]図6の薄膜トランジスタの製造における最終工程を示す断面図である。

[図9(a)]本発明の第3の実施形態に係る薄膜トランジスタの構成を示す平面図である。

[図9(b)]図9(a)のE-E線矢視断面図である。

[図9(c)]図9(a)のF-F線矢視断面図である。

[図10]第3の実施形態に係る薄膜トランジスタの他の構成を示す断面図である。

[図11(a)]図9(a)の薄膜トランジスタの製造における下地絶縁層形成工程を示す断面図である。

[図11(b)]図9(a)の薄膜トランジスタの製造におけるソース電極およびドレイン電極形成工程を示す断面図である。

[図11(c)]図9(a)の薄膜トランジスタの製造における第1のゲート絶縁層、半導体層形成工程を示す断面図である。

[図11(d)]図9(a)の薄膜トランジスタの製造における最終工程を示す断面図である。

[図12]本発明の第5の実施形態に係るアクティブマトリクス型の液晶表示装置の概略構成を示すブロック図である。

[図13]図12の液晶表示装置における絵素の構成を示す回路図である。

[図14(a)]従来の保護層を有していない薄膜トランジスタの構成を示す断面図である。

[図14(b)]従来の保護層を有している薄膜トランジスタの構成を示す断面図である。

[図15]保護層の有無による薄膜トランジスタの I_d-V_g 特性を示す図である。

[図16]保護層の有無による酸化亜鉛薄膜の電圧-抵抗率の特性を示す図である。

[図17]第4の実施形態に係る薄膜トランジスタの I_d-V_g 特性を示す図である。

[図18]第4の実施形態に係る薄膜トランジスタにおける正のゲート電圧に対するTF-T特性の経時劣化を示す図である。

発明を実施するための最良の形態

[0035] 以下、実施例および比較例により、本発明をさらに詳細に説明するが、本発明はこれらにより何ら限定されるものではない。

[0036] 〔実施形態1〕

本発明の第1の実施形態について、図1ないし図5に基づいて説明すれば、以下の通りである。

[0037] 図1(a)は、本実施の形態に係る薄膜トランジスタ1の平面図を示している。また、図1(b)は図1(a)のA-A線矢視断面図を示し、および図1(c)は図1(a)のB-B線矢視

断面図を示している。なお、図1(a)においては、図の単純化のため、図1(b)および図1(c)に示す保護層8の表面中央部分の凹凸については、その記載を省略している。

[0038] 図1(a)ないし図1(c)に示すように、半導体装置としての薄膜トランジスタ1は、絶縁性基板2上に形成されたゲート電極3の上に、ゲート絶縁層4を介して半導体層5が積層され、この半導体層5の上に電極部としてのソース電極6とドレイン電極7とが形成され、さらに半導体層5、ソース電極6およびドレイン電極7の一部を覆う保護層8が形成され、逆スタガ型の構造を成している。

[0039] また、この薄膜トランジスタ1が表示装置(例えば、実施形態4のアクティブマトリクス型液晶表示装置)に用いられる場合は、ドレイン電極7が絵素電極に接続されるか、もしくはドレイン電極7と絵素電極とが透明導電膜で一体的に形成される。このため、ドレイン電極7の一部は保護層8から引き出されている。

[0040] ゲート絶縁層4は、絶縁物として、 ZnO および $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ との整合性の良好な SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系($\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y$)($\text{Ga}_{1-z}\text{Al}_z$) O_2 またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。また、ゲート絶縁層4は前記の絶縁物が複数積層されていても良い。例えば、図2に示すように、ゲート絶縁層4は、第1絶縁層4aおよび第2絶縁層4bの2層の積層により構成される。このような構造では、第1絶縁層4aを半導体層5との界面特性が良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成し、第2絶縁層4bを絶縁性の良好な絶縁物(SiO_2)で形成することにより、絶縁性基板2上で信頼性の高いゲート絶縁層4を得ることができる。

[0041] 活性層としての半導体層5は、I族、III族、IV族、V族またはVII族元素が添加された ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体を用いて形成されている。添加される元素としては、I族およびV族の元素が好ましい。例えば、半導体層5は、窒素(N)、リン(P)

、砒素(As)、アンチモン(Sb)またはこれらの元素の2種類以上を含むZnOまたは $Mg_x Zn_{1-x} O$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体により形成されている。

[0042] 保護層8は、半導体層5における、ソース電極6およびドレイン電極7が形成される部分(両電極6, 7により覆われる部分)以外の部分で、かつゲート絶縁層4と界面を形成していない部分(両電極6, 7間の部分および半導体層5の周辺の側端面)を覆っている。この保護層8は、 SiO_2 、 Al_2O_3 、AlN、MgO、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 $stab-ZrO_2$ 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 $KNbO_3$ 、 $KTaO_3$ 、 $BaTiO_3$ 、 $CaSnO_3$ 、 $CaZrO_3$ 、 $CdSnO_3$ 、 $SrHfO_3$ 、 $SrSnO_3$ 、 $SrTiO_3$ 、 $YScO_3$ 、 $CaHfO_3$ 、 $MgCeO_3$ 、 $SrCeO_3$ 、 $BaCeO_3$ 、 $SrZrO_3$ 、 $BaZrO_3$ 、 $LiGaO_2$ 、 $LiGaO_2$ の混晶系($Li_{1-(x+y)} Na_x K_y$)($Ga_{1-z} Al_z$) O_2 またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。

[0043] あるいは、保護層8は、アクリル等の樹脂により形成されていても良い。保護層8を樹脂で形成することにより、既存の樹脂形成装置を用いることが可能である。それゆえ、保護層8を形成するために複雑な成膜プロセスを用いることなく、薄膜トランジスタ1の製造をより容易にすることができることから、薄膜トランジスタ1の製造コストを低減することが可能である。また、樹脂を用いることにより、薄膜トランジスタ1の柔軟性を高めることができ、絶縁性基板2としてフレキシブル基板を用いた場合には特に好適である。

[0044] また、保護層8も、前記の絶縁物が複数積層されていても良い。例えば、図2に示すように、保護層8は、第1保護層8aおよび第2保護層8bの2層の積層により構成される。このような構造では、第1保護層8aを半導体層5との界面特性が良好な絶縁物(Al_2O_3 、AlN、MgO)で形成し、第2保護層8bを雰囲気との隔絶性の良好な絶縁物(SiO_2)で形成することにより、信頼性の高い保護層8を得ることができる。

[0045] 薄膜トランジスタ1においては、ゲート絶縁層4、ソース電極6、ドレイン電極7および保護層8により隔絶体が形成され、それぞれが隔絶層を形成している。

[0046] ここで、上記のように構成される薄膜トランジスタ1の製造方法を、図3(a)ないし図3(e)の製造工程図を用いて以下に説明する。

- [0047] まず、絶縁性基板2に、ゲート電極3となるゲート電極材としてTaを300nm程度の厚さでスパッタリングによって積層し、この上にフォトリソグラフィ工程にて所定の形状にレジストパターンを作製する。このレジストパターンを用いてゲート電極材に $\text{CF}_4 + \text{O}_2$ ガスによってドライエッチングを施し、その形状にパターンニングされたゲート電極3およびこれに接続されるゲート配線(図示せず)を形成する(図3(a))。絶縁性基板2としては、ガラス基板、石英、プラスチック等が用いられ、ゲート電極材にはTaのほかAl、Crなどが用いられる。
- [0048] 次に、ゲート絶縁層4として、例えば、 Al_2O_3 をパルスレーザー堆積法によって500nm程度積層する。 Al_2O_3 薄膜の成膜時の基板温度は300℃、成膜雰囲気は減圧の酸素雰囲気、レーザーパワーが $3.0\text{J}/\text{cm}^2$ 、繰り返し周波数が10Hzである(図3(b))。ここでは、ゲート絶縁膜4の材料として Al_2O_3 を用いたが、それ以外に前述の絶縁物を用いても良い。
- [0049] Al_2O_3 を堆積後、連続して半導体層5を形成するために、例えば、窒素がドーピングされた多結晶状態のZnOをパルスレーザー堆積法により50nm程度積層する。このときの堆積条件は、基板温度は300℃、成膜雰囲気が減圧の酸素と一酸化窒素との混合雰囲気、レーザーパワーが $1.1\text{J}/\text{cm}^2$ 、繰り返し周波数が10Hzである。この方法により、ZnOに窒素がドーピングされる。ここでは、窒素源に一酸化窒素を用いたが、他に、一酸化二窒素、二酸化窒素、アンモニアなどの窒素を含むガスを用いても良い。また、ここでは、半導体層5の材料としてZnOを用いたが、Mgを含む $\text{ZnO}(\text{Mg}_x\text{Zn}_{1-x}\text{O})$ を用いても良い。また、ZnOまたはMgを含むZnOは、アモルファス状態でも良く、または多結晶状態とアモルファス状態とが混在した状態でも良い。
- [0050] 半導体層5となるZnOの積層後、フォトリソグラフィ工程にて所定の形状にレジストパターンを形成する。このレジストパターンを用いて、硝酸、酢酸等によるウェットエッチングを行うことにより、所望の形状の半導体層5を得る(図3(c))。
- [0051] 続いて、スパッタリング法によりAlを200nm程度成膜する。そして、そのAlの層をフォトリソグラフィおよび Cl_2 ガスを用いてドライエッチングによりパターンニングすることによりソース電極6およびドレイン電極7を形成する(図3(d))。
- [0052] さらに、パルスレーザー堆積法により Al_2O_3 を200nm程度成膜する。その Al_2O_3 の

層を、フォトリソグラフィにより作製した所定のレジストパターンを用いて、イオンミリング等により不要部の Al_2O_3 を除去することで、保護層8を形成し、薄膜トランジスタ1が完成する(図3(e))。ここでは、保護層8のための材料(絶縁物)として Al_2O_3 を用いたが、それ以外に前述の絶縁物を用いても良い。また、保護層8として、前記の絶縁物が複数積層されていても良い。

[0053] 図4は、上記のようにして得られた薄膜トランジスタ1の I_d-V_g 特性を示している。図4から、窒素がドーピングされていないZnOを用いた薄膜トランジスタにおいて、保護層を形成した場合の I_d-V_g 特性(図15に実線にて示す)と比較して、そのしきい値電圧 V_{th} が0V付近にあることがわかる。このように窒素をZnOにドーピングすることで、保護層8が設けられた薄膜トランジスタ1において、しきい値電圧 V_{th} を実用上問題のない電圧に制御することが可能であることがわかる。特に、ドーピング量により、しきい値電圧をマイナス側から+10V程度まで制御することが可能である。

[0054] ZnOに窒素をドーピングすることでしきい値電圧 V_{th} が制御されることは、以下のように理解される。保護層の形成でZnOの表面準位が減少し、ZnO内部に空乏層が広がるバンドベンディングが解消され、ZnOは本来持っている抵抗値を示すn型半導体となり、自由電子が過剰な状態になる。V族元素の窒素はZnOに対してアクセプタ不純物として働くので、窒素をドーピングすることで過剰な自由電子が減少し、フェルミ準位がバンドギャップ中央付近に押し下げられる。これにより、過剰な自由電子を排除するためのゲート電圧が低下するので、しきい値電圧が0V付近となる。

[0055] さらに他のV族元素のP、AsまたはSbについても、例えば、上記の半導体層5を形成する場合において、基板温度300℃、成膜雰囲気が減圧の酸素雰囲気で、レーザーパワー $1.1\text{J}/\text{cm}^2$ の条件で、 Zn_2P_3 、 Zn_2As_3 、 Zn_2Sb_3 などのV族の元素を含むZn化合物をターゲットに用いてドーピングを行い、同様にしきい値電圧 V_{th} を0V付近に制御でき、またドーピング量により、しきい値電圧をマイナス側から+10V程度まで制御することもできる。勿論、この方法で Zn_2N_3 をターゲットに用いてドーピングしても、しきい値電圧 V_{th} を上記と同様に制御できる。

[0056] また、ZnOまたは $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体にI族、III族、IV族またはVII族元

素をドーピングしても、同様にしきい値電圧 V_{th} を制御することができる。

[0057] なお、図1(a)に示す構造では、半導体層5がすべて保護層8の下に覆われているが、薄膜トランジスタ1の半導体層5におけるチャネル部分(キャリア(可動電荷)が移動する領域)に雰囲気による影響が及ばなければ、半導体層5がすべて保護層8に覆われる必要はない。例えば、図5に示すように、半導体層5がチャネル幅方向に長く延びてその両端部が保護層8から雰囲気に露出している構造では、その両端部は雰囲気の影響を受けるが、チャネル部分がその影響の及ばない程度に両端部から離間していれば、図1(a)ないし図1(c)に示すように、半導体層5のすべてが保護層8やゲート絶縁膜4に覆われていなくても良い。

[0058] [実施形態2]

本発明の第2の実施形態について、図6ないし図8に基づいて説明すれば、以下の通りである。

[0059] 図6(a)は、それぞれ本実施の形態に係る薄膜トランジスタ11の平面図を示している。また、図6(b)は図6(a)のC-C線矢視断面図を示し、図6(c)は図6(a)のD-D線矢視断面図を示している。なお、図6(a)においては、図の単純化のため、図6(b)および図6(c)に示す保護層19の表面中央部分の凹凸については、その記載を省略している。

[0060] 図6(a)ないし図6(c)に示すように、半導体装置としての薄膜トランジスタ11は、絶縁性基板12上に形成された下地絶縁層13上にソース電極14とドレイン電極15が間隔をおいて形成され、それらの上に半導体層16、ゲート絶縁層17、ゲート電極18が順次積層され、さらに半導体層16、ゲート絶縁層17およびゲート電極18を覆う保護層19が形成され、スタガ型の構造を成している。この薄膜トランジスタ11において、半導体層16、ゲート絶縁層17およびゲート電極18は、同じ形状(図6(a)に示す半導体層16の形状)にパターンニングされて積層されている。

[0061] この薄膜トランジスタ11が表示装置(例えば、実施形態4のアクティブマトリクス型液晶表示装置)に用いられる場合は、ドレイン電極15が絵素電極に接続されるか、もしくはドレイン電極15と絵素電極とが透明導電膜で一体的に形成される。

[0062] 下地絶縁層13は、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO

$_2$ 、stab-ZrO $_2$ 、CeO $_2$ 、K $_2$ O、Li $_2$ O、Na $_2$ O、Rb $_2$ O、In $_2$ O $_3$ 、La $_2$ O $_3$ 、Sc $_2$ O $_3$ 、Y $_2$ O $_3$ 、KNbO $_3$ 、KTaO $_3$ 、BaTiO $_3$ 、CaSnO $_3$ 、CaZrO $_3$ 、CdSnO $_3$ 、SrHfO $_3$ 、SrSnO $_3$ 、SrTiO $_3$ 、YScO $_3$ 、CaHfO $_3$ 、MgCeO $_3$ 、SrCeO $_3$ 、BaCeO $_3$ 、SrZrO $_3$ 、BaZrO $_3$ 、LiGaO $_2$ 、LiGaO $_2$ の混晶系(Li $_{1-(x+y)}$ Na $_x$ K $_y$)(Ga $_{1-z}$ Al $_z$)O $_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。この下地絶縁層13は、半導体層16の下端面におけるソース電極14およびドレイン電極15と界面を形成する領域以外の領域と界面を形成している。

- [0063] あるいは、下地絶縁層13は、アクリル等の樹脂により形成されていても良い。下地絶縁層13を樹脂で形成することにより、既存の樹脂形成装置を用いることが可能である。それゆえ、下地絶縁層13を形成するために複雑な成膜プロセスを用いることなく、薄膜トランジスタ11の製造をより容易にすることができることから、薄膜トランジスタ11の製造コストを低減することが可能である。また、樹脂を用いることにより薄膜トランジスタ11の柔軟性を高めることができ、絶縁性基板12としてフレキシブル基板を用いた場合には、特に好適である。
- [0064] また、下地絶縁層13は、前記の絶縁物が複数積層されていても良い。例えば、図7に示すように、下地絶縁層13は、第1絶縁層13aおよび第2絶縁層13bの2層の積層により構成される。このような構造では、第1絶縁層13aを絶縁性基板12との界面特性が良好な絶縁物(SiO $_2$)で形成し、第2絶縁層13bを半導体層16との界面特性が良好な絶縁物(Al $_2$ O $_3$ 、AlN、MgO)で形成することにより、絶縁性基板12上で信頼性の高い下地絶縁層13を得ることができる。
- [0065] なお、絶縁性基板12がガラスまたは石英から成る場合には、下地絶縁層13を形成しなくても、半導体層16は、ガラスまたは石英の成分であるSiO $_2$ あるいはSiO $_2$ を含む絶縁物により覆われ、雰囲気と隔絶される。
- [0066] 活性層としての半導体層16は、I族、III族、IV族、V族またはVII族元素が添加されたZnOまたはMg $_x$ Zn $_{1-x}$ Oの多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体を用いて形成されている。添加される元素としては、I族およびV族元素が好ましい。例えば、半導体層16は、窒素、リン、砒素、アンチモンまたはこれらの元素の2種類以上を含むZnOまたはMg $_x$ Zn $_{1-x}$ Oの多

結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体により形成されている。

[0067] ゲート絶縁層17は、半導体層16と界面を形成し、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。また、ゲート絶縁層17は前記絶縁物が複数積層されていても良い。例えば、図7に示すように、ゲート絶縁層17は、第1絶縁層17aおよび第2絶縁層17bの2層の積層により構成される。このような構造では、第1絶縁層17aを半導体層16との界面特性が良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成し、第2絶縁層17bを絶縁性の良好な絶縁物(SiO_2)で形成することにより、半導体層16とゲート電極18との間で信頼性の高いゲート絶縁層17を得ることができる。

[0068] 保護層19は、積層された半導体層16、ゲート絶縁層17およびゲート電極18を覆うように、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。

[0069] あるいは、保護層19も下地絶縁層13と同様、アクリル等の樹脂により形成されていても良い。これにより、下地絶縁層13を樹脂で形成する場合と同様の利点がある。

[0070] 保護層19の側壁部は、特に、下地絶縁層13、ソース電極14およびドレイン電極15と界面を形成する半導体層16の下端面、およびゲート絶縁層17と界面を形成する半導体層16の上端面以外の側端面を覆っている。また、保護層19は、前記の絶縁物が複数積層されていても良い。例えば、図7に示すように、保護層19は、第1保護層19aおよび第2保護層19bの2層の積層により構成される。このような構造では、第

1保護層19aを半導体層16との界面特性が良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成し、第2保護層19bを雰囲気との隔絶性の良好な絶縁物(SiO_2)で形成することにより、信頼性の高い保護層19を得ることができる。

- [0071] 薄膜トランジスタ11においては、下地絶縁層13、ソース電極14、ドレイン電極15、ゲート絶縁層17および保護層19により隔絶体が形成され、それぞれが隔絶層を形成している。
- [0072] ここで、上記のように構成される薄膜トランジスタ11の製造方法を、図8(a)ないし図8(d)の製造工程図を用いて以下に説明する。
- [0073] まず、絶縁性基板12に下地絶縁層13として、 Al_2O_3 を100nm程度の厚さでパルスレーザー堆積法により堆積する(図8(a))。堆積の条件は、堆積時の基板温度が300℃、成膜雰囲気が減圧の酸素雰囲気、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。ここでは、下地絶縁層13の材料として Al_2O_3 を用いたが、それ以外に前述の絶縁物を用いても良い。
- [0074] 続いて、下地絶縁層13上にスパッタリング法等によりAlを150nm程度堆積する。そして、フォトリソグラフィにより、所定の形状にパターニングしたレジストを用いてドライエッチングでAl層の不要部を除去する。これにより、ソース電極14およびドレイン電極15が形成される(図8(b))。
- [0075] 続いて、半導体層16を形成するために、例えば、窒素がドーピングされた多結晶状態のZnOをパルスレーザー堆積法により50nm程度積層する。このときの堆積条件は、基板温度が300℃、成膜雰囲気が減圧の酸素と一酸化窒素との混合雰囲気、レーザーパワーが1.1J/cm²、繰り返し周波数が10Hzである。この方法により、ZnOに窒素がドーピングされる。ここでは、窒素源に一酸化窒素を用いたが、他に、一酸化二窒素、二酸化窒素、アンモニアなどの窒素を含むガスを用いても良い。また、ここでは、ZnOにドーブする不純物としてNを用いたが、他に、P、As、Sbを用いても良い。さらに、ここでは、半導体層16の材料としてZnOを用いたが、Mgを含むZnO($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)を用いても良い。また、ZnOまたはMgを含むZnOは、アモルファス状態でも良く、または多結晶状態とアモルファス状態とが混在した状態であっても良い。

- [0076] 半導体層16の堆積後、連続してゲート絶縁層17を形成する。ゲート絶縁層17として、例えば、 Al_2O_3 をパルスレーザー堆積法によって500nm程度積層する。 Al_2O_3 薄膜の成膜時の条件は、基板温度が300℃、成膜雰囲気が減圧の酸素雰囲気で、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。ここでは、ゲート絶縁層17の材料として Al_2O_3 を用いたが、それ以外に前述の絶縁物を用いても良い。
- [0077] その後、ゲート電極18としてAl等をスパッタリング法等により200nm程度積層する。そして、フォトリソグラフィにより、所定の形状にパターンニングしたレジストを用いてイオンミリング等でAl層、ゲート絶縁層17、半導体層16の不要部を除去することで、半導体層16およびゲート絶縁層17上にゲート電極18を形成する(図8(c))。ここで、ゲート電極18、ゲート絶縁層17および半導体層16の側端面は絶縁性基板12の上端面に対して垂直であるが、保護層19のカバレッジを良くするため、ゲート電極18から半導体層16側に広がっていく順テーパ形状であっても良い。
- [0078] 最後に、保護層19を積層する。保護層19としては、例えば、パルスレーザー堆積法により Al_2O_3 を200nm程度成膜する。成膜条件は、基板温度が300℃、成膜雰囲気が減圧の酸素雰囲気、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。その後、フォトリソグラフィにより、所定のレジストパターンを用いてイオンミリング等で不要部の Al_2O_3 を除去することで、保護層19が形成され、薄膜トランジスタ11が完成する(図8(d))。ここでは、保護層19の材料として Al_2O_3 を用いたが、 SiO_2 、AlN、MgO、 Ta_2O_5 または Al_2O_3 を加えたこれらのうち少なくとも2つを含む固溶体を用いても良い。
- [0079] 上記のようにして得られた薄膜トランジスタ11の I_d-V_g 特性は、図4に示す特性と同様であり、そのしきい値電圧 V_{th} が0V付近に制御される。このように、薄膜トランジスタ11においては、半導体層16をZnOに窒素をドーピングした半導体により形成することで、しきい値電圧 V_{th} を実用上問題のない電圧に制御できる。
- [0080] さらに他のV族元素のP、AsまたはSbについても、実施形態1で述べたようにドーピングを行うことにより、同様にしきい値電圧 V_{th} を0V付近に制御できる。
- [0081] また、ZnOまたは $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体にI族、III族、IV族またはVII族元

素をドーピングしても、同様にしきい値電圧 V_{th} を制御することができる。

[0082] なお、図6(a)ないし図6(c)に示す構造では、半導体層16がすべて、下地絶縁層13、ソース電極14、ドレイン電極15、ゲート絶縁膜17および保護層19に覆われているが、薄膜トランジスタ11の半導体層16におけるチャネル部分(キャリアが移動する領域)に雰囲気による影響が及ばなければ、半導体層16がすべて覆われる必要はない。例えば、図6(a)に二点鎖線で示すように、半導体層16と、半導体層16と同一形状を成すゲート絶縁層17およびゲート電極18とがチャネル幅方向に長く伸びてその両端部が保護層19から雰囲気に露出している構造では、その両端にある半導体層16の側端面は雰囲気の影響を受けるが、チャネル部分がその影響の及ばない程度に両端部から離間していれば、半導体層16のすべてが覆われていなくても良い。

[0083] [実施形態3]

本発明の第3の実施形態について、図9ないし図11に基づいて説明すれば、以下の通りである。

[0084] 図9(a)は、本実施の形態に係る薄膜トランジスタ21の平面図を示している。また、図9(b)は図9(a)のE-E線矢視断面図を示し、図9(c)は図9(a)のF-F線矢視断面図を示している。

[0085] 図9(a)ないし図9(c)に示すように、半導体装置としての薄膜トランジスタ21は、絶縁性基板22上に形成された下地絶縁層23上にソース電極24とドレイン電極25が形成され、その上に半導体層26、第1のゲート絶縁層27を形成する。この半導体層26と第1のゲート絶縁層27は第2のゲート絶縁層28で覆われ、第2のゲート絶縁層28は半導体層26の保護層も兼ねている。第2のゲート絶縁層28の上にゲート電極29が形成され、薄膜トランジスタ21を成している。

[0086] また、この薄膜トランジスタ21が表示装置(例えば、実施形態4のアクティブマトリクス型液晶表示装置)に用いられる場合は、ドレイン電極25が絵素電極に接続されるか、もしくはドレイン電極25と絵素電極とが透明導電膜で一体的に形成される。

[0087] 下地絶縁層23は、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、

KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。

- [0088] あるいは、下地絶縁層23は、アクリル等の樹脂により形成されていても良い。下地絶縁層23を樹脂で形成することにより、既存の樹脂形成装置を用いることが可能である。それゆえ、下地絶縁層23を形成するために複雑な成膜プロセスを用いることなく、薄膜トランジスタ21の製造をより容易にすることができることから、薄膜トランジスタ21の製造コストを低減することが可能である。また、樹脂を用いることにより薄膜トランジスタ21の柔軟性を高めることができ、絶縁性基板22としてフレキシブル基板を用いた場合には特に好適である。
- [0089] この下地絶縁層23は、半導体層26の下端面におけるソース電極24およびドレイン電極25と界面を形成する領域以外の領域と界面を形成している。また、下地絶縁層23は、前記の絶縁物が複数積層されていても良い。例えば、図10に示すように、下地絶縁層23は、第1絶縁層23aおよび第2絶縁層23bの2層の積層により構成される。このような構造では、第1絶縁層23aを絶縁性基板22との界面特性が良好な絶縁物(SiO_2)で形成し、第2絶縁層23bを半導体層26との界面特性が良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成することにより、絶縁性基板22上で信頼性の高い下地絶縁層23を得ることができる。
- [0090] なお、絶縁性基板22がガラス基板、石英から成る場合には、下地絶縁層23を形成しなくても、半導体層26は、ガラスまたは石英の成分である SiO_2 あるいは SiO_2 を含む絶縁物により覆われ、雰囲気と隔絶される。
- [0091] 半導体層26は、I族、III族、IV族、V族またはVII族元素が添加された ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体を用いて形成されている。添加される元素としては、I族およびV族元素が好ましい。例えば、半導体層26は、窒素、リン、砒素、アンチモンまたはこれらの2種類以上を含む ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体により

形成されている。

[0092] 第1のゲート絶縁層27は、半導体層26と界面を形成し、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。また、第1のゲート絶縁層27は、前記の絶縁物が複数積層されていても良い。例えば、図10に示すように、ゲート絶縁層27は、第1絶縁層27aおよび第2絶縁層27bの2層の積層により構成される。このような構造では、第1絶縁層27aを半導体層26との界面特性が良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成し、第2絶縁層27bを絶縁性の良好な絶縁物(SiO_2)で形成することにより、半導体層26と第2のゲート絶縁層28との間で信頼性の高いゲート絶縁層27を得ることができる。

[0093] 第2のゲート絶縁層28は、積層された半導体層26および第1のゲート絶縁層27を覆うように、絶縁物としての SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体を用いて形成されている。

[0094] あるいは、第2のゲート絶縁層28も下地絶縁層23と同様、アクリル等の樹脂により形成されていても良い。これにより、下地絶縁層23を樹脂で形成する場合と同様の利点がある。

[0095] 第2のゲート絶縁層28の側壁部は、特に、下地絶縁層23、ソース電極24およびドレイン電極25と界面を形成する半導体層26の下端面、および第1のゲート絶縁層27と界面を形成する半導体層26の上端面以外の側端面を覆っている。このように、第2のゲート絶縁層28は、ゲート電極29の下側で半導体層26の側端面を覆う保護層の役割を果たし、かつ第1のゲート絶縁層27とゲート絶縁層としての十分な厚さを

確保するために設けられている。

- [0096] また、第2のゲート絶縁層28は、前記の絶縁物が複数積層されていても良い。例えば、図10に示すように、第2のゲート絶縁層28は、下部絶縁層28aおよび上部絶縁層28bの2層の積層により構成される。このような構造では、第1絶縁層28aを半導体層26との界面特性の良好な絶縁物(Al_2O_3 、 AlN 、 MgO)で形成し、第2絶縁層28bを隔絶性が良好な絶縁物(SiO_2)で形成することにより、第1のゲート絶縁層27とゲート電極29との間で信頼性の高い第2のゲート絶縁層28を得ることができる。
- [0097] 薄膜トランジスタ21においては、下地絶縁層23、ソース電極24、ドレイン電極25、第1のゲート絶縁層27および第2のゲート絶縁層29により隔絶体が形成され、それぞれが隔絶層を形成している。
- [0098] ここで、上記のように構成される薄膜トランジスタ21の製造方法を、図11(a)ないし図11(d)の製造工程図を用いて以下に説明する。
- [0099] まず、絶縁性基板12に下地絶縁層23として、例えば、 Al_2O_3 を100nm程度の厚さでパルスレーザー堆積法により堆積する(図11(a))。堆積の条件は、基板温度が300°C、成膜雰囲気が減圧の酸素雰囲気、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。ここでは、下地絶縁層23の材料として Al_2O_3 を用いたが、それ以外に前述の絶縁物を用いても良い。
- [0100] 続いて、下地絶縁層23上にスパッタリング法等によりAlを150nm程度堆積し、フォトリソグラフィで所定の形状にレジストをパターニングし、ドライエッチングにより不要部を除去し、ソース電極24およびドレイン電極25を形成する(図11(b))。
- [0101] 続いて、半導体層26を形成するために、例えば、窒素がドーピングされた多結晶状態のZnOをパルスレーザー堆積法により50nm程度積層する。このときの堆積条件は、基板温度が300°C、成膜雰囲気が減圧の酸素と一酸化窒素との混合雰囲気で、レーザーパワーが1.1J/cm²、繰り返し周波数が10Hzである。この方法により、ZnOに窒素がドーピングされる。ここでは、窒素源に一酸化窒素を用いたが、他に、一酸化二窒素、二酸化窒素、アンモニアなどの窒素を含むガスを用いても良い。また、ここでは、ZnOにドーピングする不純物としてNを用いたが、他に、P、As、Sbを用いても良い。さらに、ここでは、半導体層26の材料としてZnOを用いたが、Mgを含むZn

O(Mg_xZn_{1-x}O)を用いても良い。また、ZnOまたはMgを含むZnOは、アモルファス状態でも良く、または多結晶状態とアモルファス状態とが混在した状態であっても良い。

- [0102] 半導体層26の堆積後、連続して第1のゲート絶縁層27を積層する。第1のゲート絶縁層27として、例えば、Al₂O₃をパルスレーザー堆積法によって50nm程度積層する。Al₂O₃薄膜の成膜時の条件は、基板温度が300℃、成膜雰囲気が減圧の酸素雰囲気、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。ここでは、第1のゲート絶縁膜27の材料としてAl₂O₃を用いたが、それ以外に前述の絶縁物を用いても良い。また、第1のゲート絶縁膜27として、前記の絶縁物が複数積層されていても良い。
- [0103] その後、フォトリソグラフィにより、所定の形状にパターニングしたレジストを用いてイオンミリング等で不要部を除去することで、第1のゲート絶縁層27および半導体層26を形成する(図11(c))。ここで、第1のゲート絶縁層27および半導体層26の側端面は絶縁性基板22の上端面に対して垂直であるが、第2のゲート絶縁層28のカバレッジを良くするため、第1のゲート絶縁膜27から半導体層26側に広がっていく順テーパー形状であっても良い。
- [0104] 続いて、第2のゲート絶縁膜28を積層する。第2のゲート絶縁層28としては、例えば、パルスレーザー堆積法によりAl₂O₃を450nm程度成膜する。成膜条件は、基板温度が300℃、成膜雰囲気が減圧の酸素雰囲気、レーザーパワーが3.0J/cm²、繰り返し周波数が10Hzである。ここでは、第2ゲート絶縁膜28の材料としてAl₂O₃を用いたが、それ以外に前述の絶縁物を用いても良い。また、第2のゲート絶縁膜28として、前記の絶縁物が複数積層されていても良い。
- [0105] その後、ゲート電極29を形成するために、Al等をスパッタリング法等により200nm程度積層する。そして、フォトリソグラフィにより、所定の形状にパターニングしたレジストを用いてイオンミリング等でゲート電極29および第2のゲート絶縁膜28の不要部を除去することで、薄膜トランジスタ21が完成する(図11(d))。
- [0106] 上記のようにして得られた薄膜トランジスタ11のI_d-V_g特性は、図4に示す特性と同様であり、そのしきい値電圧V_{th}が0V付近に制御される。このように、薄膜トランジスタ

21においては、半導体層26をZnOに窒素をドーブした半導体により形成することで、しきい値電圧 V_{th} を実用上問題のない電圧に制御できる。

[0107] さらに他のV族元素のP、AsまたはSbについても、実施形態1で述べたようにドーピングを行うことにより、同様にしきい値電圧 V_{th} を0V付近に制御できる。

[0108] また、 $Mg_x Zn_{1-x} O$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体にI族、III族、IV族またはVII族元素をドーブしても、同様にしきい値電圧 V_{th} を制御することができる。

[0109] なお、図9(a)ないし図9(c)に示す構造では、半導体層26がすべて、下地絶縁層23、ソース電極24、ドレイン電極25、第1のゲート絶縁膜27および第2のゲート絶縁層28に覆われているが、薄膜トランジスタ21の半導体層26におけるチャネル部分(キャリアが移動する領域)に雰囲気による影響が及ばなければ、半導体層26がすべて覆われる必要はない。例えば、図9(a)に二点鎖線で示すように、半導体層26と第1のゲート絶縁層27とがチャネル幅方向に長く伸びてその両端部が第2のゲート絶縁層28から雰囲気に出ている構造では、その両端部にある半導体層26の側端面は雰囲気の影響を受けるが、チャネル部分がその影響の及ばない程度に両端部から離間していれば、半導体層26のすべてが覆われていなくても良い。

[0110] [実施形態4]

本発明の第4の実施形態について図1、図2、図3、図5、図6、図7、図9、図10、図17および図18に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態1ないし3における構成要素と同等の機能を有する構成要素については、同じ符号を付記してその説明を省略する。

[0111] 図1(a)ないし図1(c)に示すように、薄膜トランジスタ1において、半導体層5の代わりに半導体層105が形成されている。活性層としての半導体層105は、半導体層5と同様に、I族、III族、IV族、V族またはVII族の元素が添加された $Mg_x Zn_{1-x} O$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体を用いて形成されている。添加される元素としては、I族およびV族の元素が好ましい。例えば、半導体層105は、窒素(N)、リン(P)、砒素(As)、アンチモン(Sb)またはこれらの2種類以上と水素(H)とを含む $Mg_x Zn_{1-x} O$

の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体により形成されている。

- [0112] このように構成される薄膜トランジスタ1の製造においては、以下に説明するように、半導体層105の製造工程が半導体層5の前述の製造構成と異なる。図3(b)に示すようにゲート絶縁層4として Al_2O_3 を堆積後、連続して半導体層105を形成するために、例えば、窒素と水素とがドーピングされた多結晶状態のZnOをパルスレーザー堆積法により50nm程度積層する。このときの堆積条件は、基板温度は200°C、成膜雰囲気は窒素ガスと水蒸気との混合雰囲気、レーザーパワーが $1.1\text{J}/\text{cm}^2$ 、繰り返し周波数が10Hzである。この方法により、ZnOに窒素と水素とがドーピングされる。
- [0113] ここでは、窒素源に窒素ガスを用いたが、他に一酸化二窒素、一酸化窒素、二酸化窒素などの窒素を含むガスを用いても良い。また、ここでは、水素源として水蒸気を用いたが、他に過酸化水素などの水素を含むガスを用いても良い。さらには、アンモニアなどの窒素と水素から成るガスを用いても良い。このようなガスを用いた場合、窒素源を不要にすることができる。あるいは、水素源として、水蒸気、過酸化水素またはアンモニウムのうち複数種のガスを使用しても良い。また、ここでは、半導体層105にZnOを例として用いたが、Mgを含むZnO($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)を用いても良い。また、ZnOまたはMgを含むZnOは、アモルファス状態でも良く、または多結晶状態とアモルファス状態とが混在した状態でも良い。
- [0114] 上記のようにして得られた薄膜トランジスタ1の I_d-V_g 特性を図17に示す。図17から、窒素と水素とがドーピングされていないZnOを用いた薄膜トランジスタにおいて、保護層を形成した場合の I_d-V_g 特性(図15に実線にて示す)と比較して、そのしきい値電圧 V_{th} が0V付近にあることがわかる。このように窒素と水素をZnOにドーピングすることで、保護層8が設けられた薄膜トランジスタ1において、しきい値電圧 V_{th} が実用上問題のない電圧に制御が可能であることがわかる。
- [0115] ZnOに窒素と水素とをドーピングすることでしきい値電圧 V_{th} が制御されることは、以下のように理解される。保護層の形成で表面空乏層が解消され、ZnOは自由電子が過剰な状態となる。V族元素の窒素はZnOに対してアクセプタ不純物として働くので、窒素をドーピングすることで過剰な自由電子が減少する。I族元素である水素は、ZnO中

に存在する状態では、自由電子の源となるダングリングボンドに対してターミネータとして働くので、水素をドーピングすることでも過剰な自由電子が減少する。窒素と水素とをドーピングすることで、フェルミ準位がバンドギャップ中央付近に押し下げられることになり、これにより、過剰な自由電子を排除するためのゲート電圧が小さくなり、しきい値電圧が0V付近となる。

- [0116] また、水素をドーピングすることにより、図18に示すように、正のゲート電圧に対するTFT特性の経時劣化(しきい値電圧のプラスシフト ΔV_{th})を抑制することができる。具体的には、ソースおよびドレイン電極の電位をグランド電位とし、ゲート電極に+30Vの電圧を印加することで、しきい値電圧の経時変化を観測すると、 $H_2O + N_2$ 雰囲気で成膜されたTFTが、 $O_2 + NO$ 雰囲気で成膜されたTFTに比べ、しきい値電圧のシフト量を抑制できることが確認された。
- [0117] さらに他のV族元素P、AsまたはSbについても、例えば、上記の半導体層105を積層する場合において、基板温度200℃、成膜雰囲気が減圧の水蒸気雰囲気、レーザーパワー $1.1J/cm^2$ の条件で、 Zn_2P_3 、 Zn_2As_3 、 Zn_2Sb_3 などのV族を含むZn化合物をターゲットに用いてドーピングを行い、同様にしきい値電圧 V_{th} が0V付近に制御できる。勿論、この方法で Zn_2N_3 をターゲットに用いてドーピングしても、しきい値電圧 V_{th} を上記と同様に制御できる。
- [0118] なお、図5の半導体層5、図6に示す薄膜トランジスタ11の半導体層16、図7の半導体層16、図9に示す薄膜トランジスタ21の半導体層26、図10の半導体層26に、窒素(N)、リン(P)、砒素(As)、アンチモン(Sb)またはこれらの2種類以上と水素(H)とを含む ZnO または $Mg_xZn_{1-x}O$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体を用いても、同様の効果から、しきい値電圧 V_{th} を0V付近に制御できる。
- [0119] 【実施形態5】

本発明の第5の実施形態について、図12および図13に基づいて説明すれば、以下の通りである。なお、本実施の形態において、前述の実施の形態1ないし4における構成要素と同等の機能を有する構成要素については、同じ符号を付記してその説明を省略する。

- [0120] 図12に示すように、本実施の形態に係る表示装置は、アクティブマトリクス型の液晶表示装置であって、絵素アレイ31と、ソースドライバ32と、ゲートドライバ33と、制御回路34と、電源回路35とを備えている。
- [0121] 絵素アレイ31、ソースドライバ32およびゲートドライバ33は、基板36上に形成されている。基板36は、ガラスのような絶縁性かつ透光性を有する材料により形成されている。絵素アレイ31は、ソースラインSL…と、ゲートラインGL…と、絵素37…とを有している。
- [0122] 絵素アレイ31においては、多数のゲートライン GL_j, GL_{j+1} …と多数のソースライン SL_i, SL_{i+1} …とが交差する状態で配されており、隣接する2本のゲートラインGL, GLと隣接する2本のソースラインSL, SLとで包囲された部分に絵素(図中、PIXにて示す)37が設けられている。このように、絵素37…は、絵素アレイ31内でマトリクス状に配列されており、1列当たり1本のソースラインSLが割り当てられ、1行当たり1本のゲートラインGLが割り当てられている。
- [0123] 液晶ディスプレイの場合、各絵素37は、図13に示すように、スイッチング素子であるトランジスタTと、液晶容量 C_L を有する絵素容量 C_p とによって構成されている。一般に、アクティブマトリクス型液晶ディスプレイにおける絵素容量 C_p は、表示を安定させるために、液晶容量 C_L と並行に付加された補助容量 C_s を有している。補助容量 C_s は、液晶容量 C_L やトランジスタTのリーク電流、トランジスタTのゲート・ソース間容量、絵素電極・信号線間容量等の寄生容量による絵素電位の変動、液晶容量 C_L の表示データ依存性等の影響を最小限に抑えるために必要となる。
- [0124] トランジスタTのゲートは、ゲートライン GL_j に接続されている。また、液晶容量 C_L および補助容量 C_s の一方の電極は、トランジスタTのドレインおよびソースを介してソースライン SL_j に接続されている。ドレインに接続される液晶容量 C_L の電極は、絵素電極37aを形成している。液晶容量 C_L の他方の電極は、液晶セルを挟んで対向電極に接続され、補助容量 C_s の他方の電極は、全絵素に共通の図示しない共通電極線(Cs on Common構造の場合)、または隣接するゲートラインGL(Cs on Gate構造の場合)に接続されている。
- [0125] 多数のゲートライン GL_j, GL_{j+1} …は、ゲートドライバ33に接続され、多数のデータ

信号線 SL_i , SL_{i+1} …は、ソースドライバ32に接続されている。また、ゲートドライバ33およびソースドライバ32は、それぞれ異なる電源電圧 V_{GH} , V_{GL} と電源電圧 V_{SH} , V_{SL} とにより駆動されている。

[0126] ソースドライバ32は、制御回路34により与えられた画像信号DATを制御回路34からの同期信号CKSおよびスタートパルスSPSに基づいてサンプリングして各列の画素に接続されたソースライン SL_i , SL_{i+1} …に出力するようになっている。ゲートドライバ33は、制御回路34からの同期信号CKG・GPSおよびスタートパルスSPGに基づいて各行の絵素37…に接続されたゲートライン GL_j , GL_{j+1} …に与えるゲート信号を発生するようになっている。

[0127] 電源回路35は、電源電圧 V_{SH} , V_{SL} , V_{GH} , V_{GL} 、接地電位COMおよび電圧 V_{BB} を発生する回路である。電源電圧 V_{SH} , V_{SL} は、それぞれレベルの異なる電圧であり、ソースドライバ32に与えられる。電源電圧 V_{GH} , V_{GL} は、それぞれレベルの異なる電圧であり、ゲートドライバ33に与えられる。接地電位COMは、基板36に設けられる図示しない共通電極線に与えられる。

[0128] トランジスタTは、ゲートドライバ33からゲートライン GL_j を介して与えられるゲート信号によってONすると、ソースドライバ32からソースライン SL_{i+1} を介して与えられる画像信号を絵素37 (絵素電極37a) に書き込む。また、トランジスタTは、前述の実施形態1ないし4における薄膜トランジスタ1, 11, 21 (図1(a)、図6(a)、図9(a)参照) である。薄膜トランジスタ1, 11, 21は、前述のように、しきい値電圧 V_{th} を実用上問題のない電圧に制御が可能であることから、上記のような液晶表示装置に適用する場合、適切なしきい値電圧が0〜3V程度であるので、ドーピング量により、最適なしきい値電圧を設定することができる。したがって、この薄膜トランジスタ1, 11, 21を絵素37を駆動するトランジスタTに実用上問題なく用いることができる。

[0129] また、ソースドライバ32およびゲートドライバ33を構成する回路素子のうち、トランジスタで構成される回路において、各トランジスタとして前述の薄膜トランジスタ1, 11, 21を、実用上問題なく用いることができる。

[0130] また、絵素37のトランジスタTと駆動回路のトランジスタとを同じトランジスタ1, 11, 21で構成することによって、これらのトランジスタを同一の基板36上に同じプロセスを

用いて同時に作製することが可能になる。それゆえ、マトリクス表示装置の製造工程が削減されるので、マトリクス表示装置の低コスト化を図ることができる。

[0131] 以上のように、絵素37用のトランジスタTおよび駆動回路用のトランジスタとして薄膜トランジスタ1, 11, 21を用いても、しきい値が適正に制御されるので、動作の安定したマトリクス表示装置を提供することが可能になる。

[0132] 以上、本実施の形態および前記の他の実施の形態において、幾つかの例を示したが、本発明は、上記の各実施の形態に限定されることなく、同様の概念に基づく全ての構成に適用される。

[0133] 例えば、実施形態1ないし4では、薄膜トランジスタ1, 11, 21について例示したが、ZnOまたは $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を活性層に用い、かつ保護層の付与された構造において、同様にZnOに窒素等がドーパされた構成であれば、pn接合ダイオード、ショットキーダイオード、バイポーラトランジスタ、ショットキー障壁電界効果トランジスタ、接合型電界効果トランジスタ等にも本発明が適用可能である。

[0134] また、実施形態5では、電子デバイスとしてアクティブマトリクス型の液晶表示装置について例示したが、他の表示装置、例えば有機EL表示装置やフレキシブル表示装置についても、同様に薄膜トランジスタ1, 11, 21をスイッチング素子として用いていれば、本発明の適用が可能である。

[0135] さらに、本発明が適用可能な表示装置以外の電子デバイスとしては、薄膜トランジスタ1, 11, 21をイメージ読み出し用のスイッチング素子として用いた、ライン型イメージスキャナ、マトリクス型イメージスキャナ、X線イメージセンサ等が挙げられる。このようなスキャナやセンサでは、電荷蓄積容量に蓄積された電荷を読み出すために絵素電極とソースラインとの間に接続されたスイッチング素子をゲートラインに付与されたゲート電圧(走査信号)でONする。図12に示す液晶表示装置の絵素37における液晶容量 C_L および補助容量 C_S を電荷蓄積容量に置き換えることにより、トランジスタTをスイッチング素子として備えるスキャナやセンサにおける画像信号を読み出す部分を構成することができる。この構成では、ソースドライバ32が、絵素から読み出された画像信号の入力回路に置き換えられる。また、ライン型のスキャナでは絵素を1ライン分用いればよい。

[0136] 尚、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用の可能性

[0137] 本発明の半導体装置は、雰囲気に対して敏感な ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を隔絶体によって雰囲気から隔絶し、かつI族、III族、IV族、V族またはVII族の元素を ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ に添加することにより、隔絶体の付与によって活性層に発生する可動電荷を減少させることができる。したがって、本発明は、素子特性が雰囲気により左右されず安定し、かつ実用可能な範囲にしきい値電圧を制御可能となる ZnO または $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ を用いた半導体装置を提供し、表示装置などの電子デバイスに好適に利用することができる。

請求の範囲

- [1] ZnOまたは $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の多結晶状態、アモルファス状態または多結晶状態とアモルファス状態とが混在する状態である半導体から成り、I族、III族、IV族、V族またはVII族の元素が添加されている活性層と、
前記活性層を、前記活性層において可動電荷が移動する領域が雰囲気の影響を受けない範囲で雰囲気から隔離する隔離体とを備えていることを特徴とする半導体装置。
- [2] 前記元素が、窒素、リン、砒素、アンチモンまたはこれらのうち2種類以上であることを特徴とする請求の範囲第1項に記載の半導体装置。
- [3] 前記元素が、窒素、リン、砒素、アンチモンまたはこれらのうち2種類以上と水素とであることを特徴とする請求の範囲第1項に記載の半導体装置。
- [4] 前記活性層は、窒素、一酸化二窒素、一酸化窒素または二酸化窒素のうち1種類以上と、水蒸気、過酸化水素、アンモニアまたはこれらのうち1種類以上とを含む雰囲気中で形成されたことを特徴とする請求の範囲第3項に記載の半導体装置。
- [5] 請求の範囲第3項に記載の半導体装置を製造する製造方法であって、
前記活性層を、窒素、一酸化二窒素、一酸化窒素または二酸化窒素のうち1種類以上と、水蒸気、過酸化水素、アンモニアまたはこれらのうち1種類以上とを含む雰囲気中で形成することを特徴とする半導体装置の製造方法。
- [6] 前記隔離体が異なる隔離層から成ることを特徴とする請求第1項、第2項、第3項または第4項に記載の半導体装置。
- [7] 前記隔離層のうち少なくとも1つが、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることを特徴とする請求の範囲第6項に記載の半導体装置。
- [8] 前記活性層に接続される2つの電極以外で前記活性層と界面を形成する前記隔

絶層のうち、前記活性層における可動電荷の移動を制御する制御電極と前記活性層との間を絶縁する絶縁層と界面を形成する領域以外で前記活性層と界面を形成する前記絶縁層が、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることを特徴とする請求の範囲第7項に記載の半導体装置。

- [9] 前記絶縁層のうち少なくとも1つが樹脂により形成されていることを特徴とする請求の範囲第6項に記載の半導体装置。
- [10] 前記活性層に接続される2つの電極以外で前記活性層と界面を形成する前記絶縁層のうち、前記活性層における可動電荷の移動を制御する制御電極と前記活性層との間を絶縁する絶縁層と界面を形成する領域以外で前記活性層と界面を形成する前記絶縁層が樹脂により形成されていることを特徴とする請求の範囲第9項に記載の半導体装置。
- [11] 前記活性層における可動電荷の移動を制御するゲート電極と、
前記活性層と前記ゲート電極との間を絶縁する前記絶縁層としてのゲート絶縁層と、
前記活性層に接続されるソース電極およびドレイン電極とを備え、
前記絶縁層のうち少なくとも1つが、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることを特徴とする請求の範囲第6項に記載の半導体装置。
- [12] 前記ソース電極および前記ドレイン電極以外で前記活性層と界面を形成する前記絶縁層のうち、前記ゲート絶縁層と界面を形成する領域以外で前記活性層と界面を

形成する前記隔絶層が、 SiO_2 、 Al_2O_3 、 AlN 、 MgO 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 stab-ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 In_2O_3 、 La_2O_3 、 Sc_2O_3 、 Y_2O_3 、 KNbO_3 、 KTaO_3 、 BaTiO_3 、 CaSnO_3 、 CaZrO_3 、 CdSnO_3 、 SrHfO_3 、 SrSnO_3 、 SrTiO_3 、 YScO_3 、 CaHfO_3 、 MgCeO_3 、 SrCeO_3 、 BaCeO_3 、 SrZrO_3 、 BaZrO_3 、 LiGaO_2 、 LiGaO_2 の混晶系 $(\text{Li}_{1-(x+y)}\text{Na}_x\text{K}_y)(\text{Ga}_{1-z}\text{Al}_z)\text{O}_2$ またはこれらのうち少なくとも2つを含む固溶体により形成されていることを特徴とする請求の範囲第11項に記載の半導体装置。

- [13] 前記活性層における可動電荷の移動を制御するゲート電極と、
前記活性層と前記ゲート電極との間を絶縁する前記隔絶層としてのゲート絶縁層と、
前記活性層に接続されるソース電極およびドレイン電極とを備え、
前記隔絶層のうち少なくとも1つが樹脂により形成されていることを特徴とする請求の範囲第6項に記載の半導体装置。
- [14] 前記ソース電極および前記ドレイン電極以外で前記活性層と界面を形成する前記隔絶層のうち、前記ゲート絶縁層と界面を形成する領域以外で前記活性層と界面を形成する前記隔絶層が樹脂により形成されていることを特徴とする請求の範囲第13項に記載の半導体装置。
- [15] 請求の範囲第1項、第2項、第3項または第4項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [16] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第15項に記載の電子デバイス。
- [17] 請求の範囲第6項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [18] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第17項に記載の電子デバイス。
- [19] 請求の範囲第7項に記載の半導体装置をスイッチング素子として備えた電子デバイス。

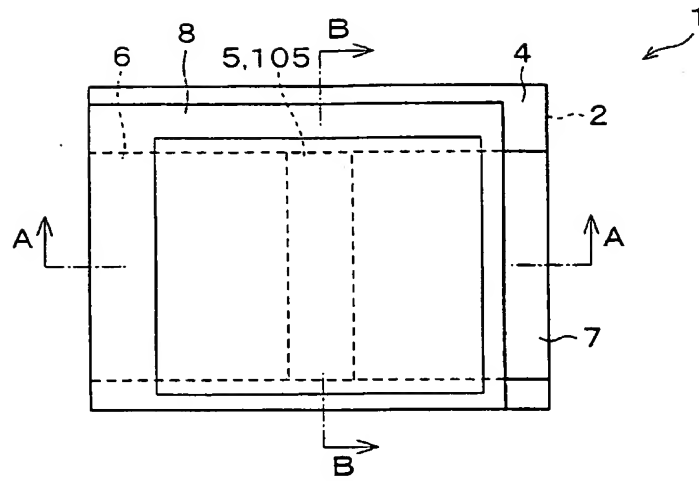
イス。

- [20] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第19項に記載の電子デバイス。
- [21] 請求の範囲第8項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [22] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第21項に記載の電子デバイス。
- [23] 請求の範囲第9項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [24] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第23項に記載の電子デバイス。
- [25] 請求の範囲第10項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [26] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第25項に記載の電子デバイス。
- [27] 請求の範囲第11項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [28] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第27項に記載の電子デバイス。
- [29] 請求の範囲第12項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [30] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第29項に記載の電子

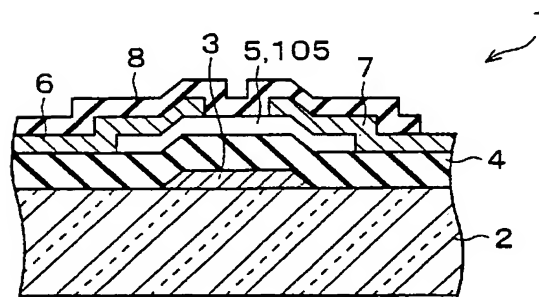
デバイス。

- [31] 請求の範囲第13項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [32] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第31項に記載の電子デバイス。
- [33] 請求の範囲第14項に記載の半導体装置をスイッチング素子として備えた電子デバイス。
- [34] 前記スイッチング素子が、絵素電極への画像信号の書き込みまたは読み出しのために絵素電極に接続されていることを特徴とする請求の範囲第33項に記載の電子デバイス。

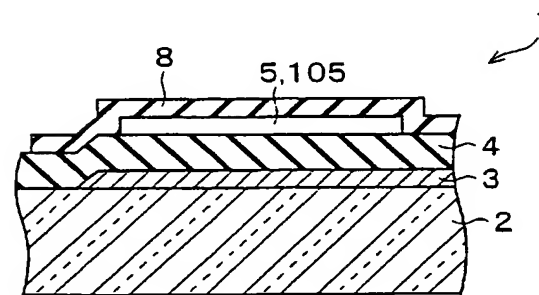
[図1(a)]



[図1(b)]

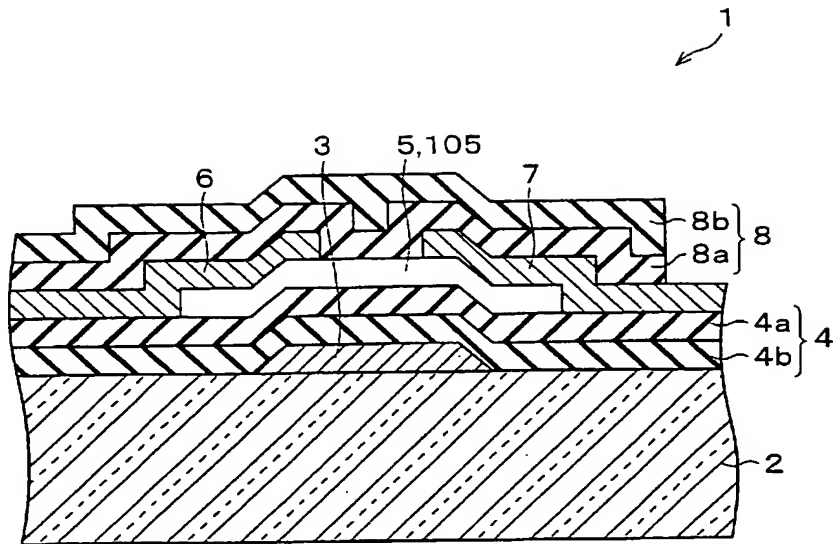


[図1(c)]



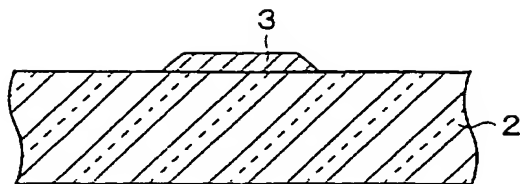
THIS PAGE BLANK (USPTO)

[図2]

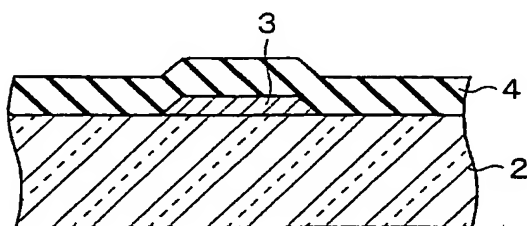


THIS PAGE BLANK (USPTO)

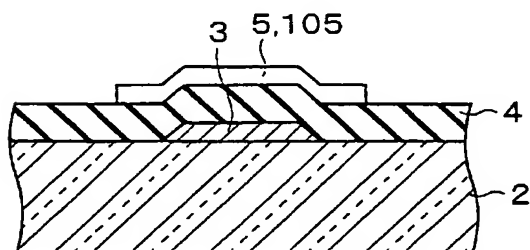
[図3(a)]



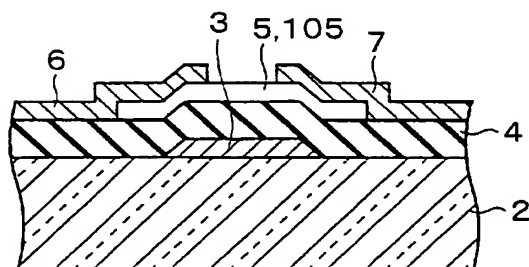
[図3(b)]



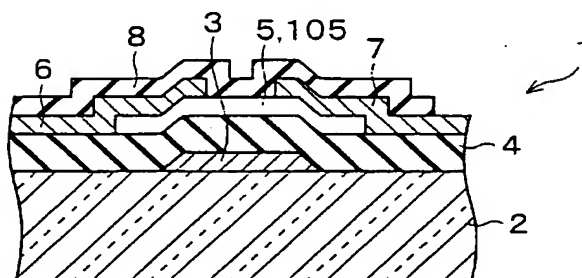
[図3(c)]



[図3(d)]

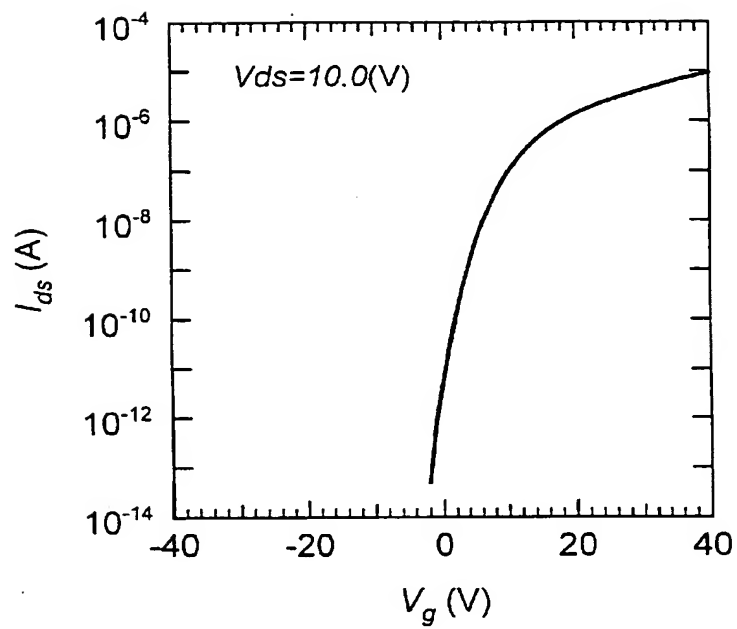


[図3(e)]

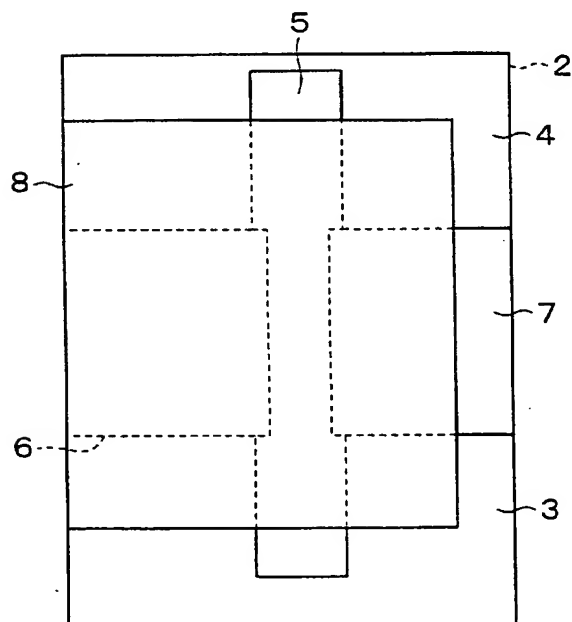


THIS PAGE BLANK (USPTO)

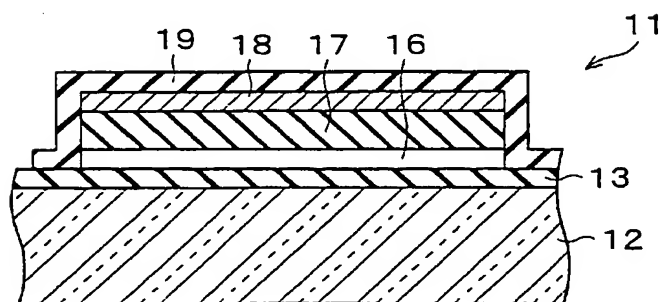
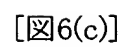
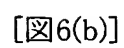
[図4]



[図5]

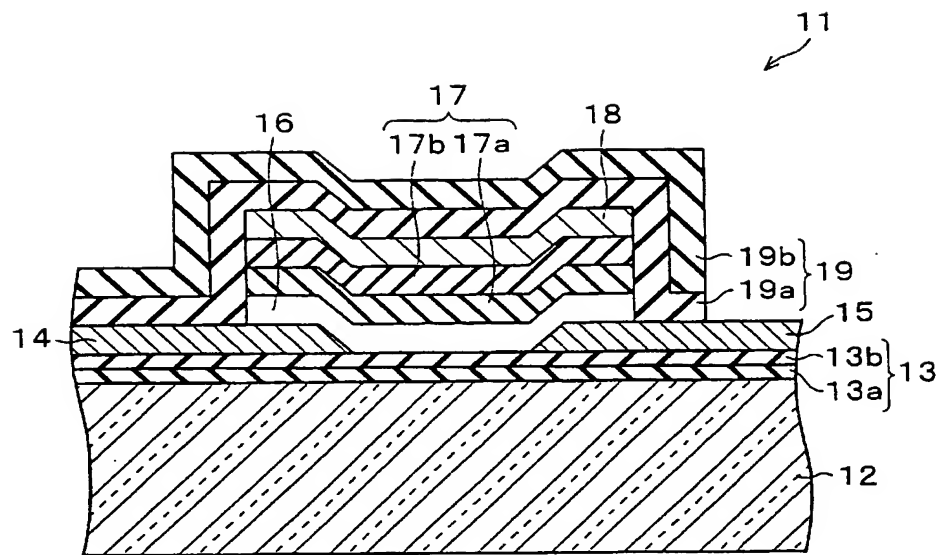


THIS PAGE BLANK (USPTO)



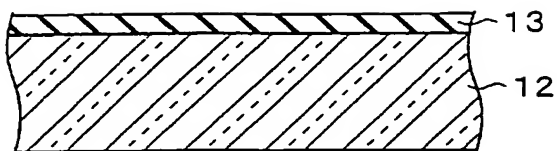
THIS PAGE BLANK (USPTO)

[図7]

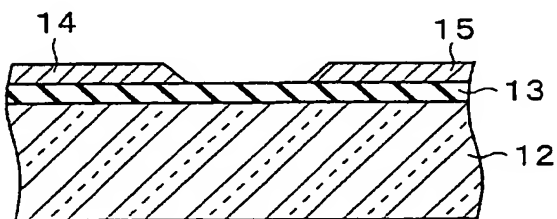


THIS PAGE BLANK (USPTO)

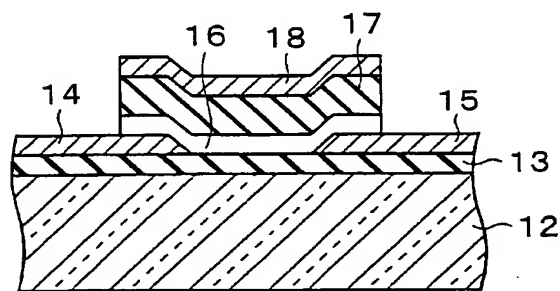
[図8(a)]



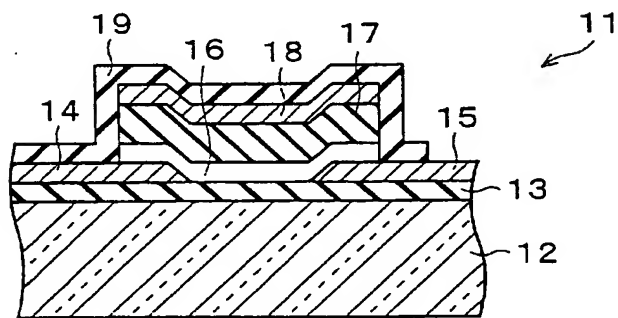
[図8(b)]



[図8(c)]

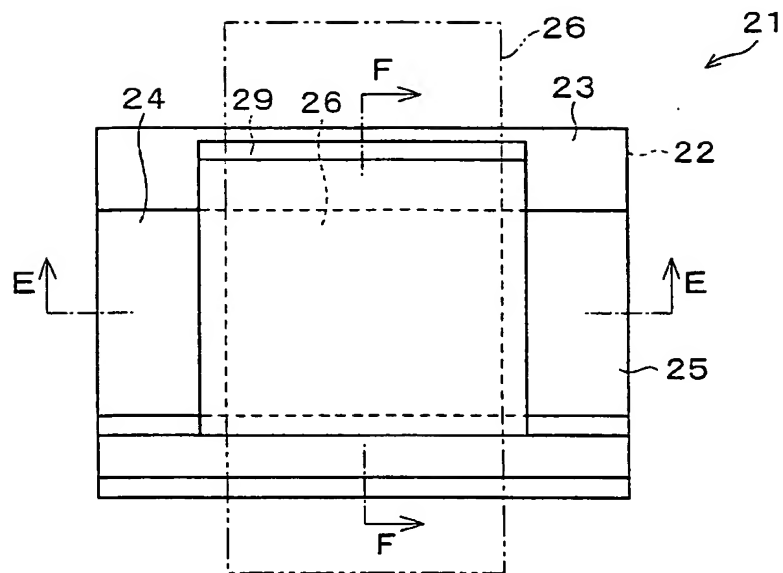


[図8(d)]

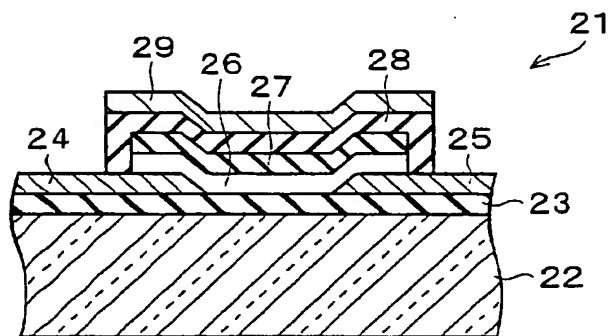


THIS PAGE BLANK (USPTO)

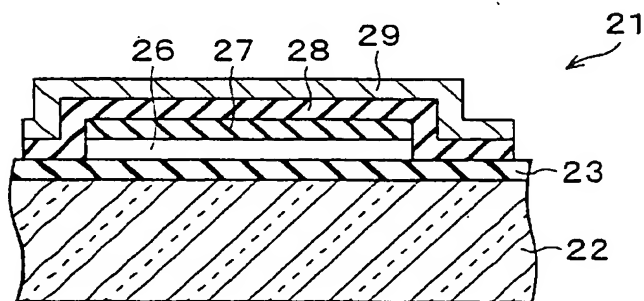
[図9(a)]



[図9(b)]

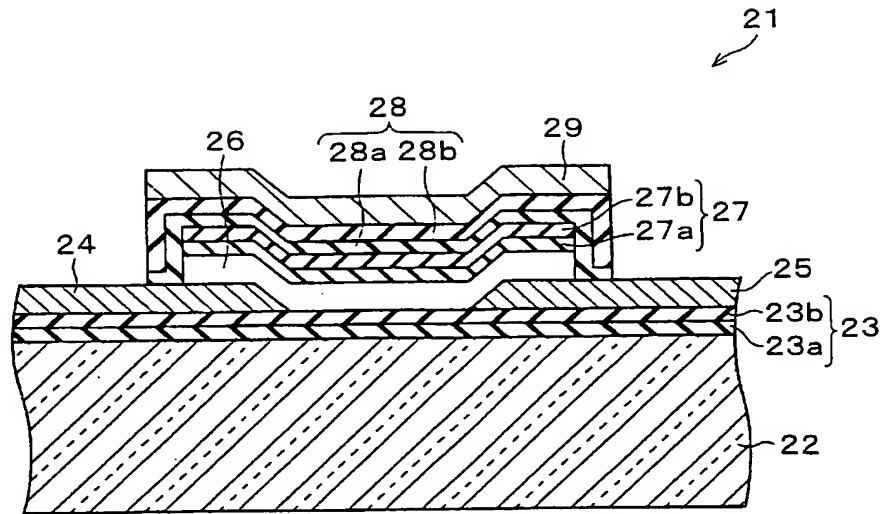


[図9(c)]



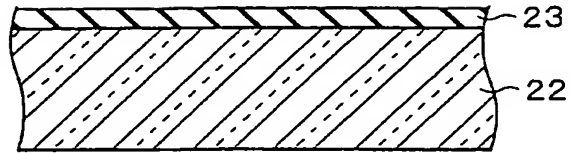
THIS PAGE BLANK (USPTO)

[図10]

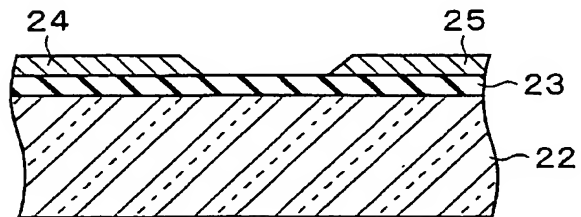


THIS PAGE BLANK (USPTO)

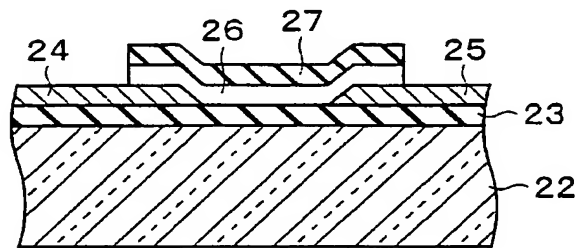
[図11(a)]



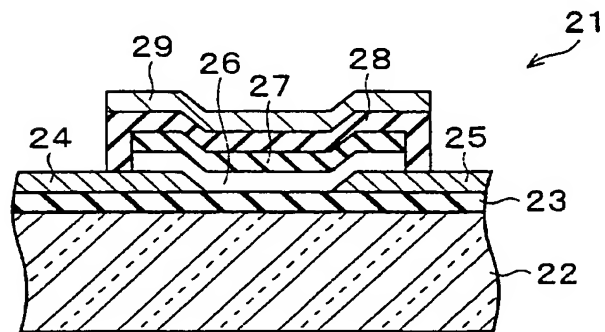
[図11(b)]



[図11(c)]

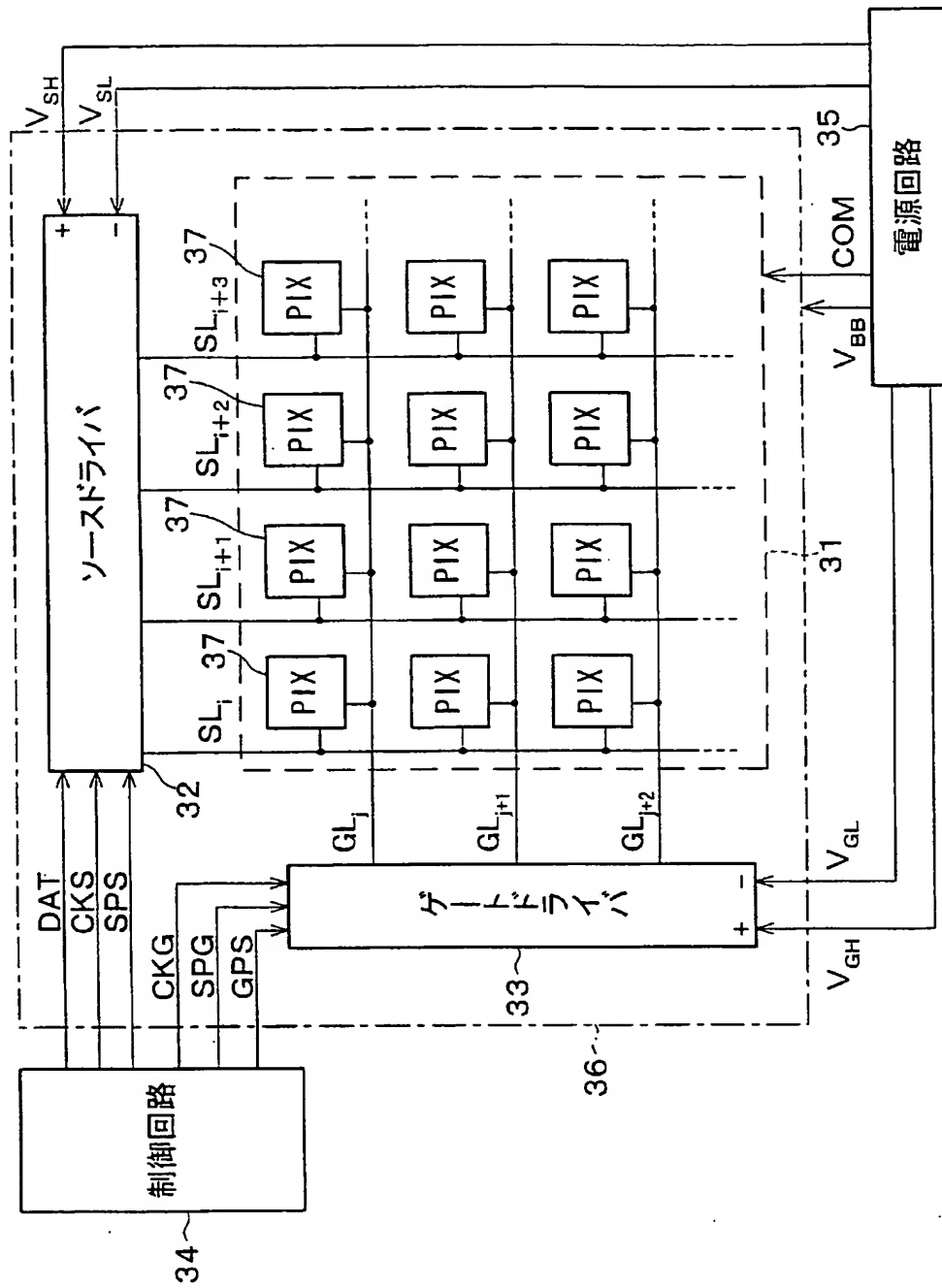


[図11(d)]



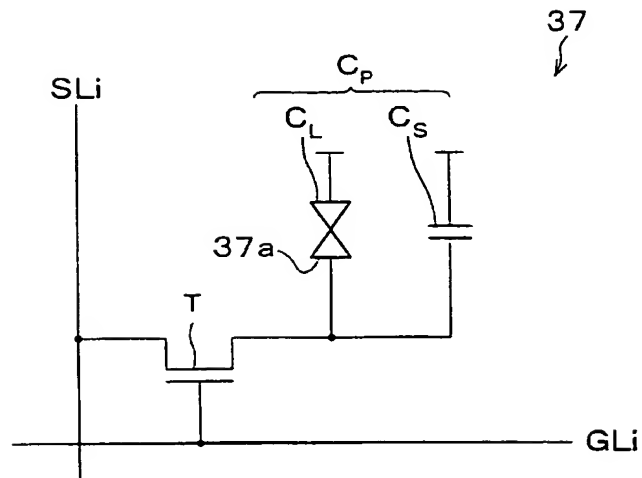
THIS PAGE BLANK (USPTO)

[図12]

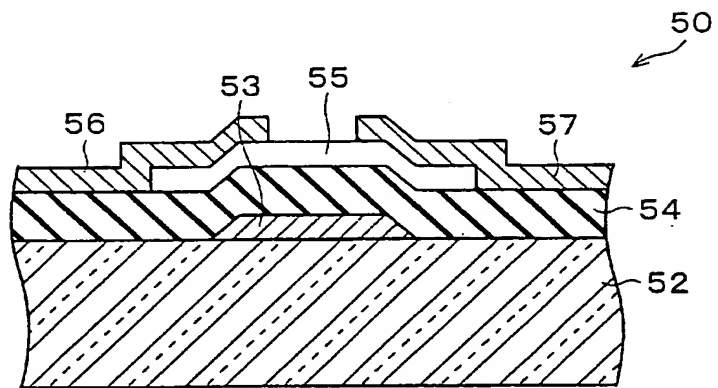


THIS PAGE BLANK (USPTO)

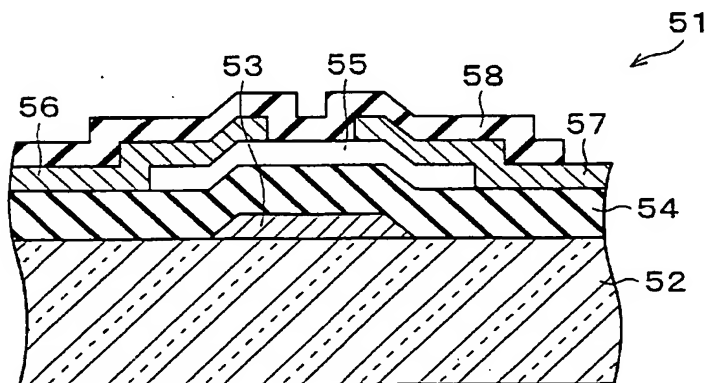
[図13]



[図14(a)]

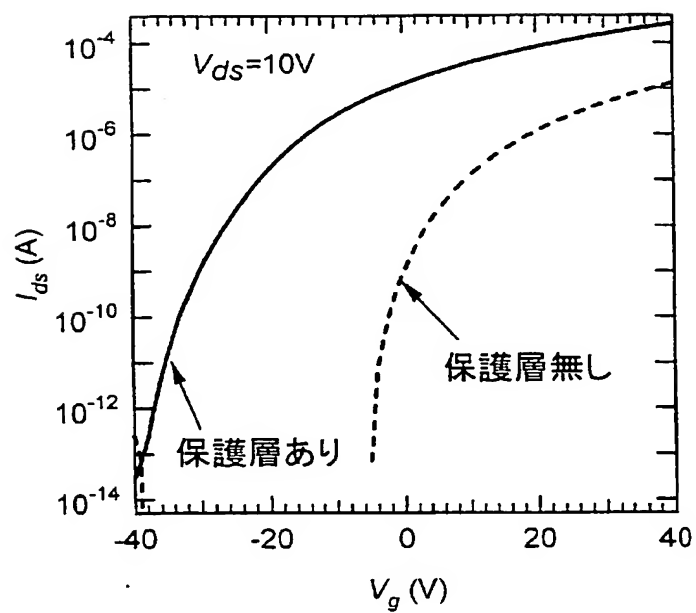


[図14(b)]

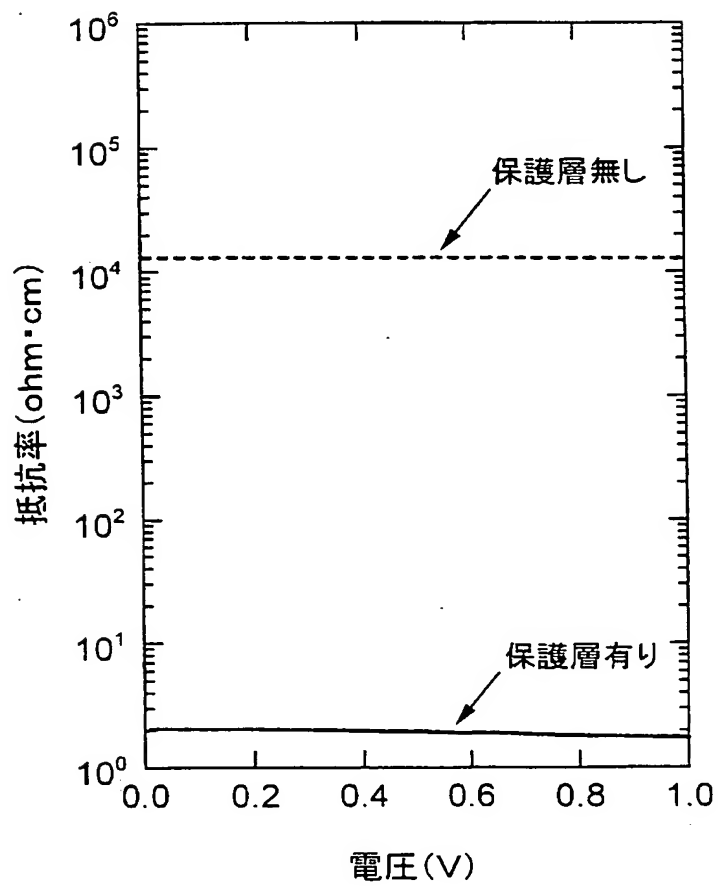


THIS PAGE BLANK (USPTO)

[図15]

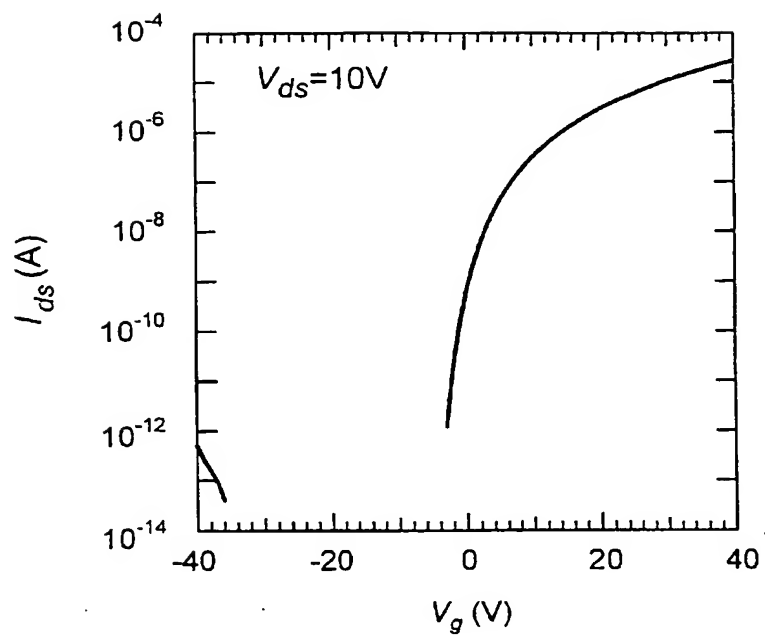


[図16]

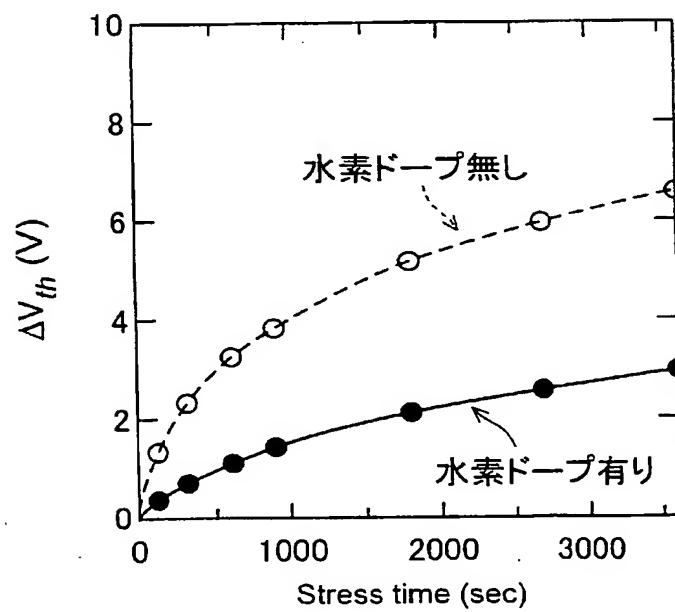


THIS PAGE BLANK (USPTO)

[図17]



[図18]



THIS PAGE BLANK (USPTO)